

VŠB - Technická univerzita Ostrava

Fakulta elektrotechniky a informatiky

Katedra měřicí a řídicí techniky

Funkční generátor signálu s obvody pro přímou digitální syntézu

Function Generator with Circuits for Direct Digital Synthesis

2010

Martin Gabzdyl

Vložení originálního zadání

Prohlášení

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

.....
Martin Gabzdyl

Datum odevzdání diplomové práce: 7. 5. 2010

Poděkování

Touto cestou bych chtěl velmi poděkovat vedoucímu mé diplomové práce, panu Ing. Zdeňku Macháčkovi, Ph.D, za cenné rady, konzultace a připomínky spojené s vypracováním mého úkolu.

Abstrakt

Tato diplomová práce se zabývá problematikou generování signálu, zvláště pak se soustředí na možnost využití metody přímé digitální syntézy. Cílem práce je navrhnout a sestavit funkční generátor signálu, který budou mít k dispozici studenti v laboratoři ať již k bližšímu seznámení s touto metodou generování signálu nebo jako funkční generátor jakožto laboratorní přístroj. Realizované zařízení bude umožňovat i jednoduché digitální modulace signálu.

Zařízení bude moci uživatel ovládat dvěma způsoby buď prostřednictvím uživatelského rozhraní v PC skrze sběrnici USB, nebo pomocí displeje a klávesnice umístěné přímo na výrobku.

Dále se práce zabývá metodami měření zkreslení signálu a samotným měřením ve frekvenční i časové oblasti.

Abstract

This thesis deals with signal generation, especially focus on the possibility of using direct digital synthesis method. The aim of this work is to propose and construct function generator, which will be available to students in the lab either to closer acquaintance with this method of signal generation or as a laboratory device. Realized facility will allow simple digital signal modulation.

The user can operate this device in two ways, via the user interface in the PC through the USB bus or using the display and keypad located directly on the product.

Furthermore, this work deals with methods of measurement signal distortion and the self measurement in frequency and time domain.

Klíčová slova

Generování signálu, metoda přímé digitální syntézy, mikroprocesor, digitální modulace, Microchip Framework, filtr, LCD displej, rotační kodér, linearizace VCR, D/A převodník, digitální potenciometr, operační zesilovač, celkové harmonické zkreslení.

Keywords

Signal generation, direct digital method, microprocessor, digital modulation, Microchip Framework, filter, LCD display, rotary encoder, linearization of VCR, D/A converter, digital potentiometer, operational amplifier, total harmonic distortion.

Seznam použitých symbolů a zkratek

| | |
|--|--|
| δ | Relativní chyba |
| $\delta(t)$ | Diracův impuls |
| ΔA | Absolutní chyba |
| $\overline{\varepsilon_{\text{sinc}}}$ | Modulační chyba (vzorkování) |
| ω_0 | Kritická frekvence |
| DDS | Direct Digital Synthesis – Přímá digitální syntéza |
| FFT | Fast Fourier transform – rychlá Fourierová transformace |
| $g(t)$ | Impulsová charakteristika |
| $G(\omega)$ | Frekvenční přenos soustavy |
| $ G(\omega) $ | Amplitudový frekvenční přenos soustavy |
| MSB | The most significant byte – byte s nejvyšší váhou |
| MSb | The most significant bit – bit s nejvyšší váhou |
| $p(t)$ | Modulační signál |
| q_n | N-tý kanálový symbol modulace |
| SPI | Serial Peripheral Interface – sériové periferní rozhraní |
| THD | Total Harmonic Distortion – celkové harmonické zkreslení |
| T_s | Perioda vzorkování |
| $u_{\text{PAM,I}}(t)$ | Signál $u(t)$ po ideálním vzorkování |
| $u_{\text{PAM,O}}(t)$ | Signál $u(t)$ po okamžitém vzorkování |
| $u_{\text{PAM,P}}(t)$ | Signál $u(t)$ po přirozeném vzorkování |
| USB | Universal serial bus – Univerzální sériová sběrnice |
| VCA | Voltage Control Amplifier – Napětím řízený zesilovač |
| VCR | Voltage Control Resistor – Napětím řízený rezistor |

Obsah

| | | |
|----------|---|---------------|
| 1 | ÚVOD..... | - 1 - |
| 2 | PŘÍMÁ DIGITÁLNÍ SYNTÉZA | - 3 - |
| 2.1 | Popis přímého digitálního syntezátoru..... | - 4 - |
| 2.2 | Výstupní frekvenční spektrum..... | - 7 - |
| 2.2.1 | Okamžité vzorkování..... | - 8 - |
| 2.2.2 | Výstupní frekvenční spektrum DDS..... | - 10 - |
| 2.3 | D/A Převodník DDS | - 13 - |
| 2.4 | Referenční signál | - 14 - |
| 2.5 | Příklady použití DDS obvodů..... | - 15 - |
| 3 | POPIS OBVODU AD9833..... | - 17 - |
| 3.1 | Inicializace obvodu..... | - 20 - |
| 3.2 | Zápis dat..... | - 20 - |
| 4 | REALIZACE FUNKČNÍHO GENERÁTORU | - 22 - |
| 4.1 | První zesilovací stupeň..... | - 22 - |
| 4.2 | Druhý zesilovací stupeň | - 26 - |
| 4.2.1 | Napětím řízený rezistor (VCR)..... | - 26 - |
| 4.2.2 | Linearizace VCR | - 28 - |
| 4.2.3 | Napětím řízený zesilovač s VCR..... | - 30 - |
| 4.2.4 | Výběr vhodného operačního zesilovače | - 34 - |
| 4.2.5 | Řízení zesílení VCA | - 36 - |
| 4.3 | Třetí zesilovací stupeň..... | - 36 - |
| 4.4 | Filtr | - 39 - |
| 4.4.1 | Návrh Butterworthova filtru | - 40 - |
| 4.5 | Digitální potenciometr AD5290..... | - 43 - |
| 4.6 | Operační zesilovač AD8021 | - 45 - |
| 4.7 | Napájecí obvod | - 46 - |
| 4.7.1 | Popis obvodu MC33166..... | - 47 - |
| 4.7.2 | Filtr napájecího napětí | - 49 - |
| 5 | SBĚRNICE USB | - 51 - |
| 5.1 | Komunikace v rámci USB sběrnice | - 51 - |
| 5.2 | Fyzická vrstva sběrnice USB..... | - 52 - |
| 5.3 | Typy přenosů na sběrnici USB..... | - 53 - |
| 5.4 | Rozpoznávání zařízení – enumerace | - 54 - |
| 5.5 | USB s mikroprocesorem PIC | - 55 - |
| 5.5.1 | Třída CDC | - 57 - |

| | | |
|----------|---|---------------|
| 6 | MODULACE..... | - 59 - |
| 6.1 | Spojité digitální modulace | - 59 - |
| 6.1.1 | Amplitudové klíčování ASK – Amplitude Shift Keying..... | - 60 - |
| 6.1.2 | Fázové klíčování PSK – Phase Shift Keying..... | - 61 - |
| 6.1.3 | Frekvenční klíčování FSK – Frequency Shift Keying..... | - 62 - |
| 7 | FIRMWARE V MIKROPROCESORU | - 63 - |
| 7.1 | Uživatelský vstup - Klávesnice | - 63 - |
| 7.2 | Uživatelský vstup – Rotační kodér | - 66 - |
| 7.3 | Uživatelský výstup – LCD displej | - 69 - |
| 7.4 | Řídicí část firmwaru | - 70 - |
| 7.5 | Uživatelská aplikace v PC..... | - 76 - |
| 8 | ANALÝZA SIGNÁLU..... | - 79 - |
| 8.1 | Kvalita signálu v časové oblasti..... | - 79 - |
| 8.2 | Kvalita signálu ve frekvenční oblasti..... | - 82 - |
| 9 | ZÁVĚR..... | - 85 - |

1 Úvod

Generátory signálu, ač to není na první pohled zcela patrné, patří k důležitým a nepostradatelným prvkům, které nalézají své místo téměř ve všech druzích elektronických obvodů. Pod generátorem signálu si však nesmíme představit pouze funkční generátor jako laboratorní zdroj signálu, ale jakýkoliv generátor vytvářející periodický signál.

Obecně řečeno generátor je prvek, který generuje proměnný signál. Zvláštním případem generátoru je oscilátor generující periodický harmonický signál, opakem oscilátoru je generátor neharmonických signálů tzv. tvarových signálů.

Z principu je oscilátor obsažen v každém vysílači a přijímači elektromagnetického vlnění. K synchronním logickým obvodům musí být přiveden hodinový signál, který je rovněž generován generátorem signálu. Často vyžadujeme, aby generovaný signál měl určitý tvar. Typickým příkladem je televizní přijímač s CRT (Cathode Ray Tube) obrazovkou, kde potřebujeme pilovitý signál pro horizontální vychylování elektronového paprsku v obrazovce.

Funkční generátor jakožto laboratorní zařízení se jeví jako nepostradatelné zařízení ve výzkumu a servisu různých zařízení. Běžně takovýto generátor dokáže generovat obdélníkový, sinusový, trojúhelníkový či pilový signál. Využití takového zařízení je mnohostranné, například při měření vlastností zesilovačů je nutné na zesilovač přivádět signál s možností změny frekvence a amplitudy nebo například obdélníkový signál je možné použít k měření přechodových jevů.

Cest jak realizovat funkční generátor je mnoho. Například můžeme vycházet z teorie zpětné vazby, kdy musí být splněna komplexní podmínka oscilace, na tomto principu jsou založeny LC, RC a krystalové oscilátory. Tím máme k dispozici harmonický signál a musíme využít různých tvarovačů k dosažení požadovaného tvaru signálu nebo využít astabilní klopný obvod, který vytváří obdélníkový signál a ten dle požadavku tvarovat.

Moderním způsobem, jak generovat signál různých tvarů, je metoda přímé digitální syntézy, která řeší nedostatky velké většiny analogových generátorů týkající se malé přeladitelnosti, přesnosti nastaveného kmitočtu a rychlosti ustálení nastavených hodnot. Kromě změny frekvence je možné touto metodou měnit i fázi signálu a proto lze s úspěchem DDS aplikovat například k modulování digitálního signálu metodou fázového klíčování (PSK).

Jeden z cílů této práce je seznámit čtenáře s metodou přímé digitální syntézy a nastínit možná využití. Dále se práce zabývá návrhem generátoru využívající DDS a měřením parametrů signálu v časové a frekvenční oblasti.

Kapitola 2

Popis metody přímé digitální syntézy, frekvenční spektra DDS obvodů, využití DDS.

Kapitola 3

Popis obvodu AD9833, jeho praktické použití, algoritmus inicializace, algoritmus zápisu dat.

Kapitola 4

Kapitola je věnována realizaci funkčního generátoru.

Kapitola 5

Popis USB sběrnice a využití mikroprocesoru PIC18F4550 pro komunikaci s PC.

Kapitola 6

Popis základních druhů digitálních modulací ASK2, ASK4, FSK2, FSK4, PSK2, PSK4.

Kapitola 7

Popis firmwaru v mikroprocesoru a uživatelské aplikace v PC.

Kapitola 8

Analýza signálu v časové a frekvenční oblasti.

2 Přímá digitální syntéza

Rozšiřování číslicových metod v různých oblastech elektrotechniky vede v současnosti k realizaci syntezátorů pracujících na principu přímé digitální syntézy označované zkratkou DDS (Direct Digital Synthesis).

DDS obvody řeší neduhy většiny analogových generátorů signálu, jako jsou přeladitelnost, rozlišitelnost, rychlost ustálení, teplotní závislost a také uživatelský komfort v nastavování parametrů generátoru. Existují metody generování signálu, které jsou založeny na filtraci obdélníkového průběhu (u obdélníku jsme schopni s dobrou rozlišitelností přeladovat frekvenci), avšak tato metoda využívá filtrů a ty je nutno rovněž přeladovat, což je principiálně stejný problém jako u přeladování analogových generátorů. Nejblíže ideálu je generování signálu pomocí funkční tabulky, zde však narážíme na problém dostatečného rozlišení hodinového kmitočtu pro čítač. Klasické děličky nevyhovují, poněvadž nemají lineární, ale skokovou změnu výstupního kmitočtu.

DDS umožňuje číslicově řízené generování kmitočtů odvozených z jednoho kmitočtového normálu při použití logických obvodů, paměti ROM a digitálně analogového převodníku. Pokud je syntezátor součástí analogového systému, je nutno použít ještě analogovou dolní propust.

Obvody založené na přímé digitální syntéze mohou generovat frekvence od několika mHz do více než 400 MHz (s referenčním signálem 1 GHz) a s méně jak jednostupňovým rozlišením fáze. Mohou rychle přepnout výstupní frekvenci za jinou bez frekvenčního přeskočku.

V současné době se vyrábí řada jednočipových DDS systémů ve formě integrovaných obvodů, které je možno použít místo původních analogových syntezátorů pracujících na principu fázových závěsů (PLL).

Ačkoli byl princip DDS znám již řadu let, nehrály donedávna tyto obvody dominantní roli při generování frekvencí vzhledem k omezené rychlosti číslicové logiky a D/A převodníků. Poslední pokroky v technologii integrovaných obvodů a algoritmů pro číslicové zpracování signálů přinesly do této oblasti výrazný pokrok.

DDS lze nalézt v rádiových aplikacích, laboratorních přístrojích, radarových systémech, generátorech testovacího signálu, referencích pro PPL, modulátorech ASK, FSK, PSK, QPSK či v mobilních telefonech.

Výhody metody přímé digitální syntézy

Velmi jemné ladění výstupní frekvence (v řádech mikro-Hertz) a fáze ($< 1^\circ$)

Možnost velmi rychlé skokové změny výstupní frekvence i fáze

Digitální rozhraní umožňuje vzdálené řízení procesorem

Pro nastavení frekvence a fáze nejsou zapotřebí žádné externí komponenty

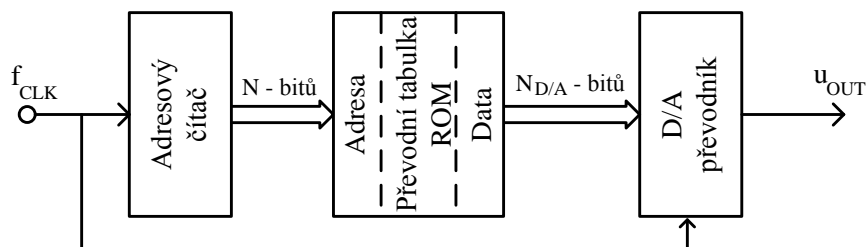
Tyto digitální obvody nemají teplotní drift, který se projevuje u analogových systémů

Nevýhody metody přímé digitální syntézy

DDS obvody pracují se vzorkováním a je nutné použít externího analogového filtru pro potlačení nežádoucích frekvenčních složek na výstupu D/A převodníku.

2.1 Popis přímého digitálního syntezátoru

V nejjednodušším případě se může přímý digitální syntezátor skládat ze zdroje referenčního kmitočtu f_{CLK} , adresového čítače, paměti s uloženou převodní tabulkou a D/A převodníku zapojených podle obrázku Obr. 1.

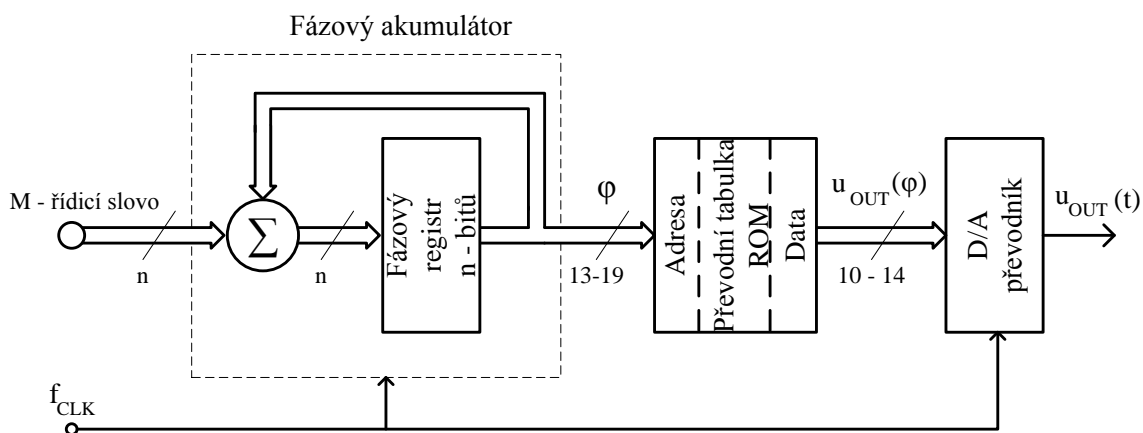


Obr. 1. Jednoduchý přímý digitální syntezátor

Referenční kmitočet je čítán adresovým čítačem, jehož výstup tvoří adresu v převodní tabulce obvykle realizované jako ROM (Read Only Memory). Hodnota na daném adresovaném paměťovém místě je pomocí D/A převodníku převedena na danou okamžitou hodnotu výstupního signálu u_{OUT} . Tvar výstupního signálu je dán uloženými hodnotami v paměti, která plní funkci převodní tabulky mezi lineárně rostoucím výstupním číslem z čítače a požadovanou hodnotou výstupního signálu v daném čase.

Přesnost výstupního signálu, jeho kolísání a jiné parametry mohou být v tomto případě dobré, ale problém této jednoduché architektury syntezátoru je ve změně frekvence výstupního signálu. Frekvenci výstupního signálu je možné změnit dvěma způsoby a to změnou referenčního kmitočtu f_{CLK} nebo reprogramováním paměti. Žádný z těchto způsobů neumožňuje rychlé a spojitě změny výstupní frekvence.

Výše uvedené nevýhody se vyřešily zavedením mechanismu zvaného fázový akumulátor. Tento mechanismus vytváří číslem řízený oscilátor, což je základ pro frekvenčně variabilní DDS obvody. DDS systém s fázovým akumulátorem je na Obr. 2.



Obr. 2. Frekvenčně variabilní DDS systém

Systém na Obr. 2 obsahuje fázový akumulátor, paměť realizující převodní tabulku a D/A převodník. Paměť a D/A převodník má stejnou funkci jako v předešlém případě (Obr. 1), avšak adresový čítač je nahrazen fázovým akumulátorem, který se stará o adresování paměti.

Časový průběh výstupního signálu můžeme obecně vyjádřit vztahem (1).

$$u_{OUT}(t) = ZOH(f_{ROM}(\varphi)) \quad (1)$$

kde

| | | |
|--------------|---|-----|
| $u_{OUT}(t)$ | Časový průběh výstupního signálu | (V) |
| f_{ROM} | Funkce uložená v paměti (Převodní tabulka) | |
| φ | Fázová funkce – diskretní v čase i hodnotě | (°) |
| ZOH | Zero - Order Hold – konverze časově diskretního signálu na časově spojitý (funkce D/A převodníku) | |
| t | Čas | (s) |

Pro konstantní kmitočet výstupního signálu musí platit, že argument funkce f_{ROM} lineárně roste. Právě o zajištění lineárního růstu se stará fázový akumulátor, který pravidelně s kmitočtem f_{CLK} přičítá řídicí slovo M k aktuální hodnotě fáze uložené ve fázovém registru, výsledek součtu je nová hodnota fáze, která se uloží do fázového registru.

Budeme-li předpokládat velikost fázového registru n-bitů, pak fáze může nabývat 2^n hodnot. Dále předpokládejme, že v paměti je obsažena převodní tabulka pro jednu celou periodu generovaného signálu. Pak platí, že počet přetečení fázového registru za sekundu odpovídá frekvenci výstupního signálu, viz vztah (2).

$$f_{OUT} = \frac{f_{CLK} \cdot M}{2^n} \quad (2)$$

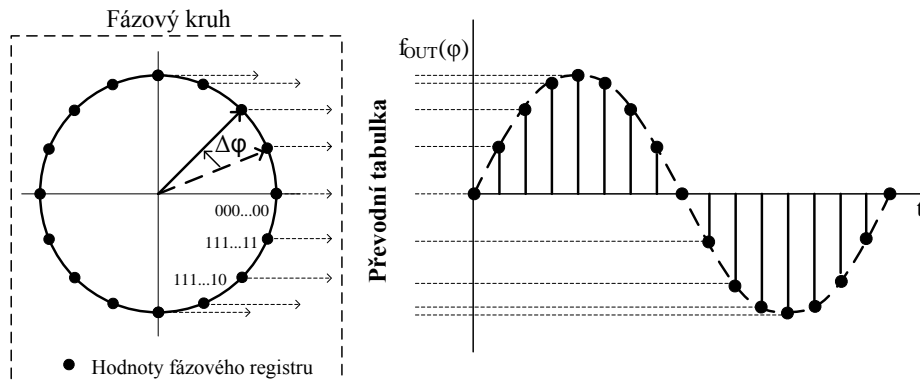
kde

| | | |
|-----------|--------------------------------------|------|
| f_{OUT} | Frekvence výstupního signálu | (Hz) |
| f_{CLK} | Frekvence referenčního kmitočtu | (Hz) |
| M | Řídicí slovo (obvykle 24 až 48 bitů) | (-) |
| n | Počet bitů fázového registru | (-) |

Ze vztahu je vidět, že frekvenční rozlišení signálu je dáno vztahem $f_{CLK}/2^n$, což pro $n = 32$ bitů znamená, že rozlišení je větší než f_{CLK} ke čtyřem miliardám.

V praxi se pro převodní tabulku nevyužívají všechny bity fázového akumulátoru ale jen prvních 13 až 19 MSb. Tato redukce se provádí z důvodů snížení velikosti paměti, nemá vliv na frekvenční rozlišení a přidává jen malou a přijatelnou hodnotu fázového šumu k výstupnímu signálu.

Pro lepší pochopení funkce frekvenčně variabilního přímého digitálního syntezátoru se uvádí tzv. fázový kruh, který je zobrazen na Obr. 3.



Obr. 3. Fázový kruh a výstupní data z paměti $u_{OUT}(\varphi)$
(Předpokládejme, že převodní tabulka provádí převod na funkci sinus)

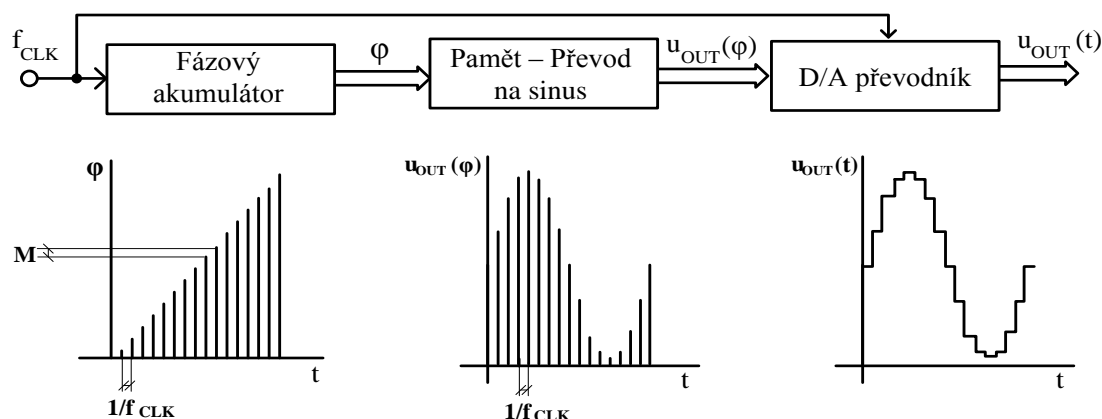
Ve fázovém kruhu rotuje vektor, který se může nacházet v 2^n polohách, kde n je počet bitů fázového registru. Jedno otočení vektoru o 360° odpovídá jedné celé periodě výstupního signálu. Rychlost posuvu vektoru je dána referenčním kmitočtem a úhel posuvu, který závisí na řídicím čísle M podle vztahu (3).

$$\Delta\varphi_{Vektor} = \frac{360 \cdot M}{2^n} \quad (^\circ), \quad \Delta\varphi_{Vektor} = \frac{2\pi \cdot M}{2^n} \quad (rad) \quad (3)$$

kde

| | | |
|--------------------------|------------------------------|-------------------|
| $\Delta\varphi_{Vektor}$ | Úhel posuvu vektoru | ($^\circ$, rad) |
| M | Řídicí číslo | (-) |
| n | Počet bitů fázového registru | (-) |

Každá poloha vektoru (pokud nebudeme uvažovat redukci velikosti výstupního slova fázového registru) odpovídá okamžité hodnotě výstupního signálu pro danou fázi. K převodu mezi lineárně rostoucím výstupním slovem fázového akumulátoru a okamžitou hodnotou výstupního signálu slouží převodní tabulka uložená v paměti. Průběhy jednotlivých signálů jsou zobrazeny na Obr. 4.



Obr. 4. Ukázka tvarů jednotlivých signálů v řetězci DDS

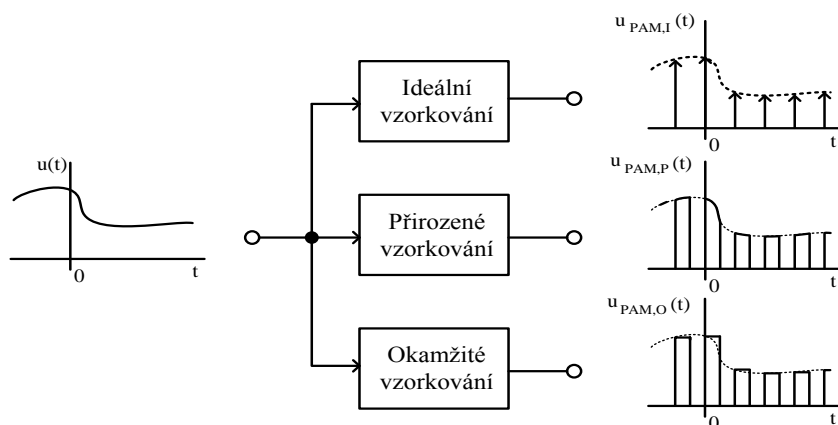
2.2 Výstupní frekvenční spektrum

Porozumění teorie vzorkování je důležité k analýze výstupního signálu z obvodu přímé digitální syntézy. V této teorii se zavádějí tři typy vzorkování.

Prvním z nich je ideální vzorkování (někdy také teoretické vzorkování), při kterém se vzorkování provádí Diracovými impulsy a navzorkovaný signál je reprezentován sledem těchto impulsů s mohutností závislou na vzorkovaném signále.

Druhým typem je přirozené vzorkování, se kterým se setkáváme především při přepínání signálů z více kanálů multiplexorem do jednoho výstupního kanálu.

Posledním typem je okamžité vzorkování, toto vzorkování bude popsáno podrobněji, jelikož signál z výstupu D/A převodníku má stejný charakter. Všechny typy vzorkování jsou zobrazeny na Obr. 5.



Obr. 5. Ukázka různých typů vzorkování

2.2.1 Okamžité vzorkování

Při práci všech A/D a D/A převodníků se využívá okamžité vzorkování. Náznorný princip okamžitého vzorkování je zobrazen na Obr. 6, který má pět částí. V části A) je zobrazen vzorkovaný signál a jeho spektrum. Část B) ukazuje modulační funkci jak v časové tak ve frekvenční oblasti, tento signál je tvořen posloupností Diracových impulsů o mohutnosti T_s a vzdálených od sebe o periodu vzorkování (T_s), lze ho matematicky vyjádřit podle vztahu (4).

$$p(t) = T_s \sum_{n=-\infty}^{\infty} \delta(t - n \cdot T_s) \quad (4)$$

Pokud vynásobíme časový průběh vzorkovaného signálu s modulační funkcí, pak dostaneme ideální pulzní amplitudově modulovaný signál zobrazený v části C). Frekvenční spektrum tohoto signálu $U_{PAM,I}(\omega)$ získáme pomocí jedné z vlastností konvoluce (5).

$$F(u(t) \cdot p(t)) = \frac{1}{2\pi} U(\varpi) * P(\varpi) \quad (5)$$

kde

| | |
|-------------|---------------------------------------|
| $F(f(t))$ | Fourierova transformace funkce $f(t)$ |
| $u(t)$ | Vzorkovaný signál |
| $p(t)$ | Modulační funkce |
| $U(\omega)$ | Spektrum signálu $u(t)$ |
| $P(\omega)$ | Spektrum signálu $p(t)$ |

Výše popsany mechanismus odpovídá ideálnímu vzorkování, v části C) je vidět signál a jeho spektrum po ideálním vzorkování.

Abychom se dopracovali k okamžitému vzorkování je potřeba signál $p(t)$ vhodně upravit a následně zjistit, jak se změní spektrum upraveného signálu. Můžeme si představit, že tuto úpravu provádí jakýsi black box s impulsovou charakteristikou $g(t)$ zobrazenou v části D). K této impulsové charakteristice (reakci black boxu na Diracův impuls) lze nalézt spektrum podle následujícího postupu, vztah (6).

$$\begin{aligned} G(\varpi) &= \int_{-\infty}^{\infty} g(t) \cdot e^{-j\varpi \cdot t} dt = \int_{-\frac{T_s}{2}}^{\frac{T_s}{2}} A e^{-j\varpi \cdot t} dt = \int_{-\frac{T_s}{2}}^{\frac{T_s}{2}} \frac{1}{T_s} e^{-j\varpi \cdot t} dt = \frac{1}{T_s} \cdot \left[\frac{e^{-j\varpi \cdot \frac{T_s}{2}}}{-j\varpi} - \frac{e^{j\varpi \cdot \frac{T_s}{2}}}{-j\varpi} \right] = \\ &= \frac{2}{\varpi} \cdot \frac{1}{T_s} \cdot \sin\left(\frac{\varpi T_s}{2}\right) = \text{sinc}\left(\frac{T_s \cdot \varpi}{2\pi}\right) \end{aligned} \quad (6)$$

Výsledný signál vzorkovaný okamžitým vzorkováním a jeho spektrum je vidět v části E). K tomuto signálu a jeho spektru je opět možné dospět využitím konvoluce (7), (8).

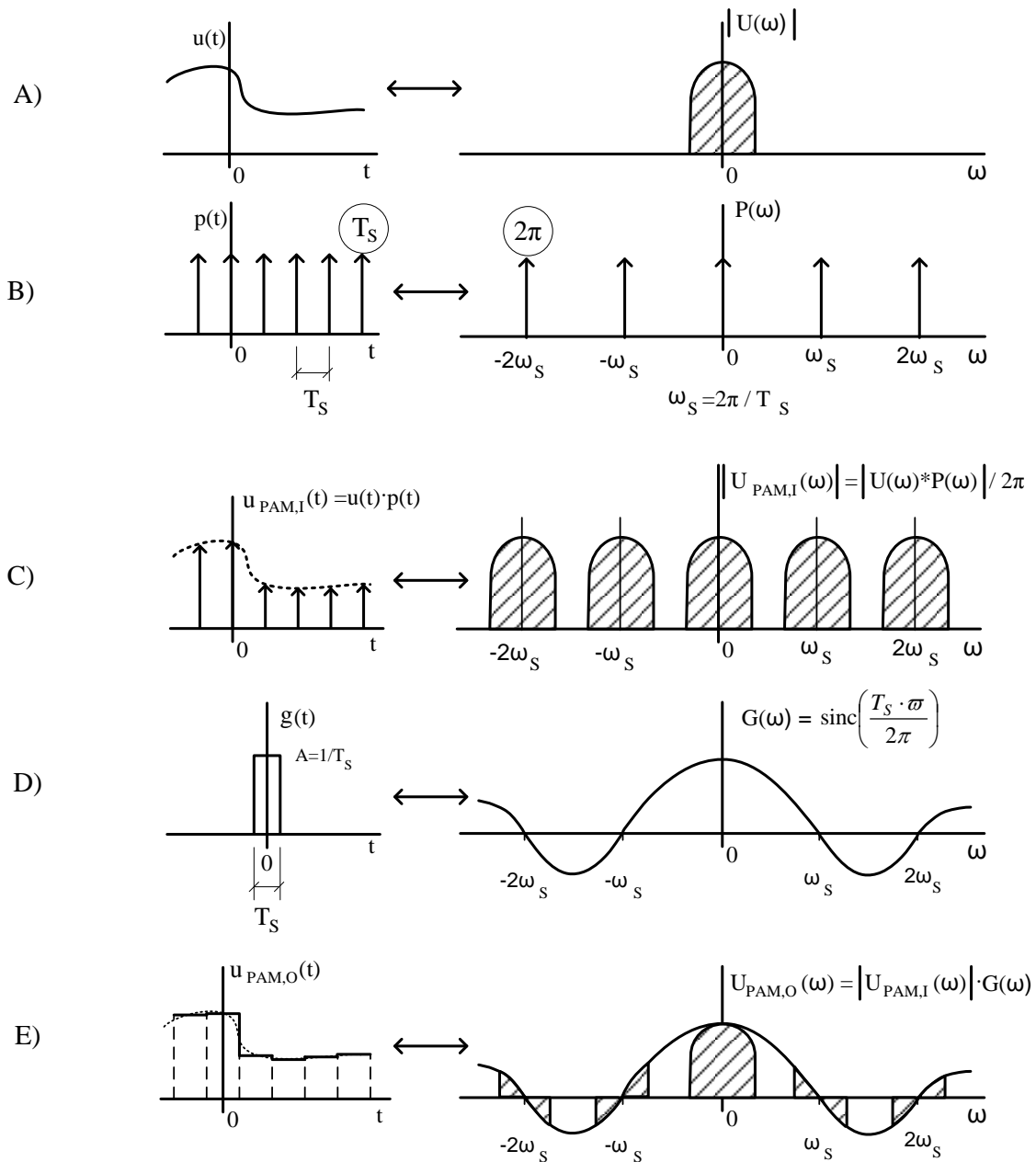
$$u_{PAM,I}(t) * g(t) = u_{PAM,O}(t) \quad (7)$$

$$F[u_{PAM,I}(t) * g(t)] = F[u_{PAM,O}(t)] = U_{PAM,I}(\omega) \cdot G(\omega) \quad (8)$$

Jak je vidět z Obr. 6 spektrum vzorkovaného signálu je zakresleno funkcí $\text{sinc}\left(\frac{T_s \cdot \omega}{2\pi}\right)$ a to nejen jeho obrazy, ale i základní pásmo. Zkreslení v základním pásmu vede k modulační chybě $\overline{\varepsilon_{\text{sinc}}}$, za kterou vezmeme střední hodnotu chyby mezi 0 Hz (kde $\text{sinc}(0) = 1$) a BW (9).

$$\overline{\varepsilon_{\text{sinc}}} = \frac{1}{2}(1 - \text{sinc}(T_s \cdot BW)) = \frac{1}{2} \left(1 - \frac{\sin(\pi \cdot T_s \cdot BW)}{\pi \cdot T_s \cdot BW} \right) \quad (9)$$

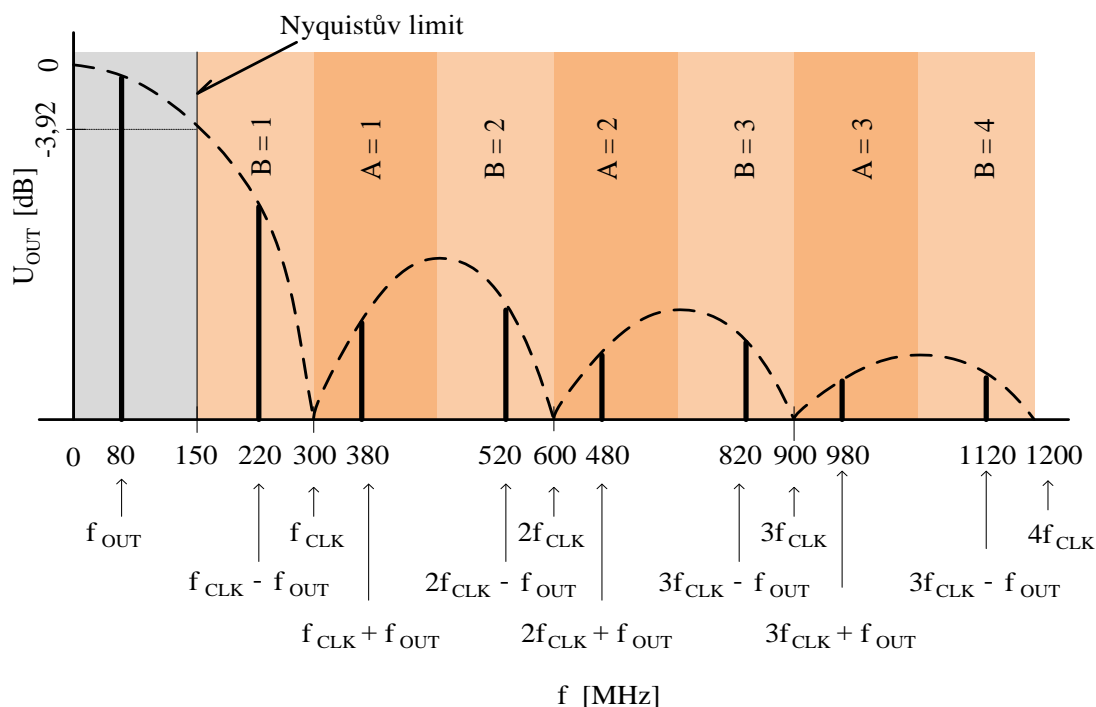
Nyní pokud si představíme D/A převodník tak signál $u_{PAM,I}(t)$ představuje posloupnost digitálních hodnot, kterou D/A převodník převede na signál $u_{PAM,O}(t)$, tedy onen výše zmiňovaný black box je v tomto případě samotný D/A převodník.



Obr. 6. Princip okamžitého vzorkování, [7]

2.2.2 Výstupní frekvenční spektrum DDS

Ukázka výstupního spektra DDS je na Obr. 7. Tento obrázek popisuje výstupní spektrum přímého digitálního syntezátoru s referenčním signálem $f_{CLK} = 300 \text{ MHz}$ a frekvencí výstupního harmonického signálu $f_{OUT} = 80 \text{ MHz}$.



Obr. 7. Jednostranné spektrum výstupního signálu DDS (bez rušivých složek)

Nyquistův teorém říká, že k rekonstruování chtěného harmonického výstupního signálu je zapotřebí alespoň dvou vzorků na periodu, z čehož vyplývá, že maximální možná frekvence harmonického signálu generovaná DDS obvodem je tzv. *Nyquistův limit* $= f_{CLK}/2$. Pokud budeme chtít generovat jiný signál (např. trojúhelník) je potřeba dvou vzorků na jednu periodu nejvyšší frekvence obsažené ve spektru výstupního signálu. Obrazy základního spektra (v našem případě jedné spektrální čáry) jsou na frekvencích $n \cdot f_{CLK} \pm f_{OUT}$, kde $n = 1, 2, 3, \dots$, jak je vidět na Obr. 7.

K potlačení obrazů základního pásma ve výstupním spektru se používá dolnoproustný filtr. K tomu abychom filtrem dostatečně potlačily obrazy, je nutné limitovat výstupní kmitočet asi na 40% z f_{CLK} . Toto omezení napomáhá ke snížení řádu filtru a tím ke snížení nákladů a rozměrů zařízení.

V některých specifických aplikacích se vyžaduje generování vyšších frekvencí než $0,4 \cdot f_{CLK}$, toho lze dosáhnout izolováním některého z obrazů (odstraněním všech ostatních). Izolováním části A z výstupního spektra se získá frekvence $A \cdot f_{CLK} + f_{OUT}$ a izolováním části B se získá frekvence $B \cdot f_{CLK} - f_{OUT}$, kde $A, B = 1, 2, 3, \dots$.

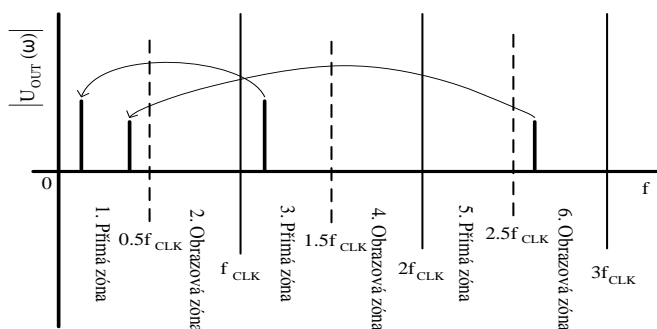
Jak je výše popsáno, výstupní spektrum je zkresleno funkcí $\text{sinc}(\cdot)$ a to jak základní pásmo, tak jeho obrazy. Tato vlastnost je poměrně nechtěná, protože se amplituda generovaného signálu mění s frekvencí a způsobuje modulační chybu $\overline{\varepsilon_{\text{sinc}}}$. Tab. 1 zachycuje vliv této chyby na amplitudu výstupního signálu. Lze si všimnout, že chyba, která nastává od stejnosměrné hodnoty až pro maximální možnou generovanou frekvenci, činí -3,92 dB ($\overline{\varepsilon_{\text{sinc}}} = 1,96 \text{ dB}$). Proto některé

integrované obvody DDS mají implementovanou korekci tzv. inverzní SINC filtr díky němu lze dosáhnout střední modulační chyby 0,1 dB napříč celé použitelné frekvenční oblasti ($DC - f_{CLK}/2$).

Tab. 1. Vliv modulační chyby na amplitudu výstupního signálu o frekvenci f

| f [MHz] | $U_{PAM,O}(f) / U_{PAM,O}(0)$ [-] | $U_{PAM,O}(f) / U_{PAM,O}(0)$ [dB] | $\overline{\varepsilon_{sinc}}$ [-] |
|-----------|-----------------------------------|------------------------------------|-------------------------------------|
| 0 | 1 | 0 | 0 |
| 60 | 0,9355 | -0,57912 | 0,03225 |
| 120 | 0,7568 | -2,42038 | 0,1216 |
| 150 | 0,6366 | -3,92267 | 0,1817 |
| 180 | 0,5046 | -5,94106 | 0,2477 |
| 240 | 0,2339 | -12,6194 | 0,38305 |
| 300 | 0 | X | 0,5 |

Další anomálie ve výstupním spektru, jako jsou integrální a diferenciální nelinearity D/A převodníku, napěťové změny spojené s funkcí D/A převodníku a šum referenčního kmitočtu nebudou modulační funkcí $\text{sinc}(\cdot)$ ovlivněny. Tyto anomálie se objeví ve výstupním spektru jako rušivé složky a budou mít obvykle mnohem menší amplitudu než obrazy základního pásma. Jelikož DDS je systém se vzorkováním, jakákoli rušivá složka vyšší než $0.5 \cdot f_{CLK}$ se projeví jako obraz v základním pásmu jak znázorňuje Obr. 8. Frekvenční osa je rozdělena na jednotlivé zóny. Liché zóny jsou označeny jako přímé zóny, sudé jako obrazové zóny. Pokud rušivá spektrální čára vznikne v některé z přímých zón, objeví se její obraz v základním pásmu ve stejné vzdálenosti od $f = 0$ Hz, jako je vzdálenost spektrální čáry od f_{CLK} (spektrální čára z přímé zóny 3). Naopak, pokud rušivá spektrální čára vznikne v některé ze sudých zón, objeví se její obraz v základním pásmu ve stejné vzdálenosti od $0.5 \cdot f_{CLK}$, jaká je vzdálenost spektrální čáry od $2.5 \cdot f_{CLK}$ (spektrální čára z obrazové zóny 6).

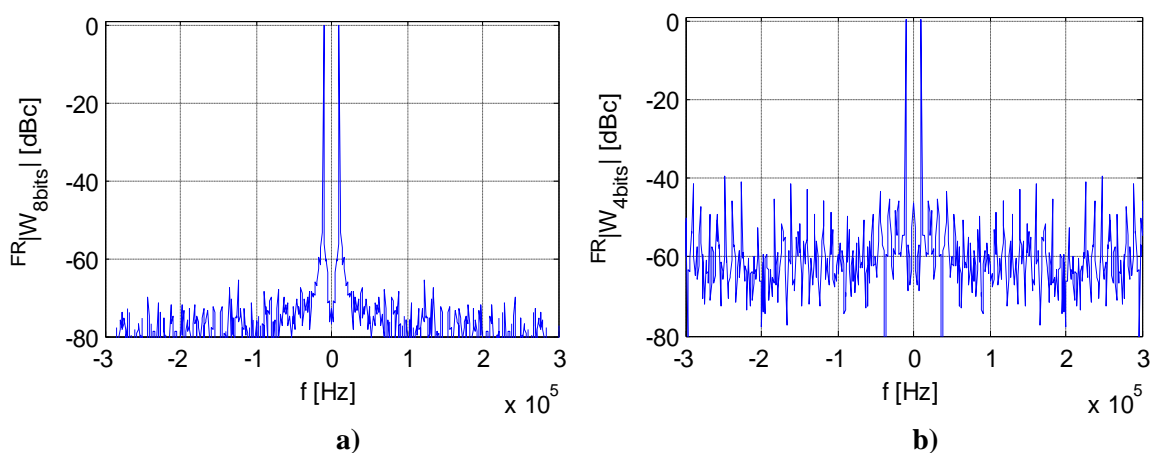


Obr. 8. Mapování spektrálních čar harmonických složek do základního pásma

Celkový šum DDS je dán kombinací šumu substrátu, teplotními šumy, zemnicími smyčkami a různými dalšími nízko-úrovňovými zdroji rušivého signálu. Celkový šum, velmi závisí na rozvržení desky plošného spoje, kvalitě napájení a kvalitě zdroje referenčního hodinového signálu.

2.3 D/A Převodník DDS

D/A převodník je jedním z důležitých prvků v DDS řetězci. Rozlišení převodníku je dáno velikostí vstupního slova, v DDS se nejčastěji používá velikost vstupního slova mezi 10 a 14 bity. Díky konečnému rozlišení převodníku vzniká kvantizační chyba a s ní spojeno kvantizační zkreslení. Hodnota kvantizační chyby se vyskytuje v intervalu $\langle -q/2, +q/2 \rangle$, kde q je velikost kvantizační hladiny. Čím větší rozlišení převodníku tím menší kvantizační chyba. Ukázky základních pásem výstupních spekter DDS s různými D/A převodníky jsou zobrazeny na Obr. 9. Simulovaný DDS měl referenční kmitočet 1 MHz, výstupní generovaná frekvence cca 10 kHz s amplitudou 1 V.



Obr. 9. Ukázka části základního pásma výstupního signálu DDS, simulováno v MATLABu
a) DAC 8b
b) DAC 4b

Vztah mezi rozlišením D/A převodníku a hodnotou kvantizačního zkreslení lze vyjádřit pomocí poměrů výkonů výstupního signálu a kvantizačního zkreslení (SQR). Platí-li, že převodník pracuje v celém svém rozsahu lze SQR vyjádřit podle vztahu (10).

$$SQR = 1,76 + 6,02B \quad (\text{dB}) \quad (10)$$

kde

SQR Poměr výkonů výstupního signálu a kvantizačního zkreslení
 B Počet bitů DA převodníku

Tab. 2. Ukázka SQR pro jednotlivé rozlišení DAC

| Rozlišení AD převodníku | SQR |
|-------------------------|-------|
| [bit] | [dB] |
| 8 | 49,92 |
| 10 | 61,96 |
| 12 | 74 |
| 14 | 86,04 |

Pokud nepracuje v celém svém rozsahu lze SQR vypočítat podle vztahu (11).

$$SQR = 1,76 + 6,02B + 20\log(FFS) \quad (\text{dB}) \quad (11)$$

kde

- SQR Poměr výkonů výstupního signálu a kvantizačního zkreslení
- B Počet bitů DA převodníku
- FFS Část rozsahu ve kterém ADC pracuje. Např. pracuje-li DAC se 70 % svého maxima, pak $FFS = 0,7$

2.4 Referenční signál

Kvalita výstupního signálu DDS je závislá i na kvalitě referenčního signálu. Důležité parametry referenčního signálu, které se odrážejí v kvalitě výstupního signálu, jsou frekvenční stabilita (udáváno v ppm), chvění náběžné hrany a fázový šum (udáváno v dBc/Hz).

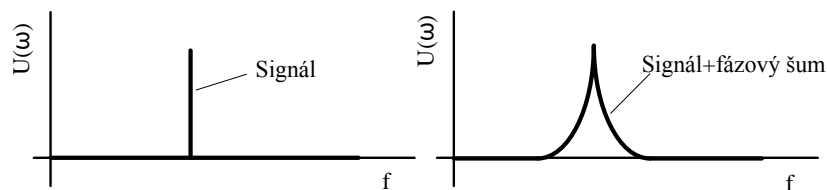
Fázový šum je dán rychlými, krátkodobými a náhodnými změnami fáze signálu. Je-li výstup z oscilátoru popsán vztahem (12), pak $\Phi(t)$ je fázový šum.

$$V(t) = V_0 \cos(\omega t + \Phi(t)) \quad (12)$$

kde

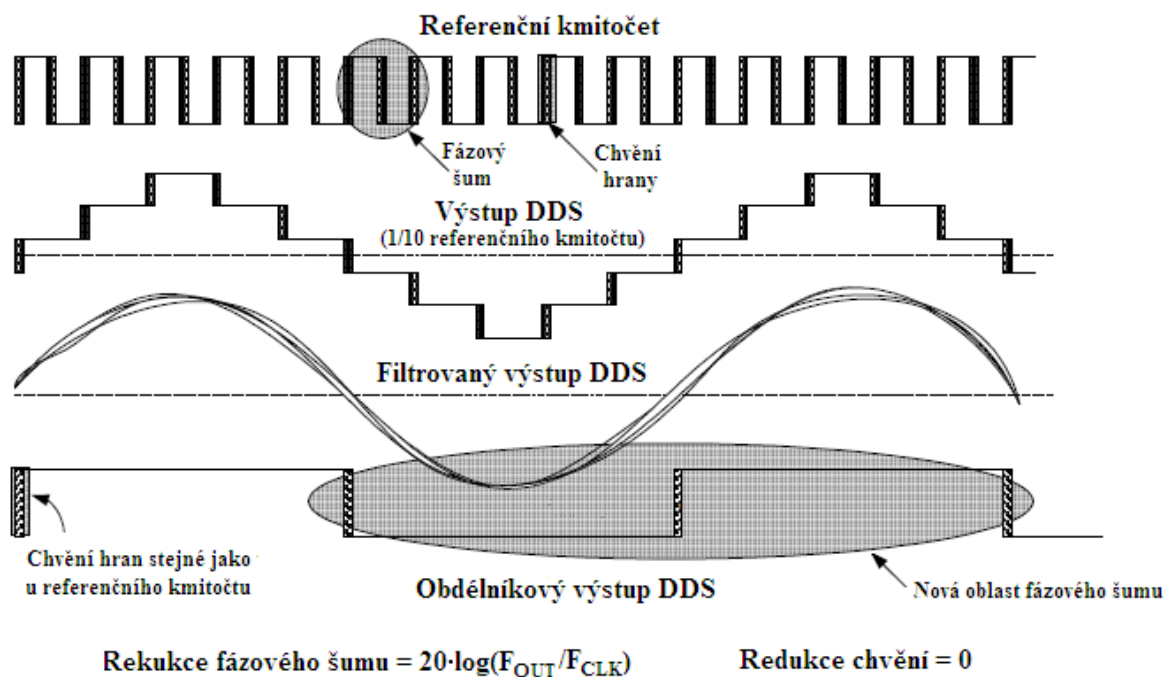
- $V(t)$ Výstup z oscilátoru
- V_0 Amplituda signálu
- ω Úhlový frekvence
- $\Phi(t)$ Fázový šum

Fázový šum se ve frekvenční oblasti projevuje rozšířením základní spektrální čáry, jak je zobrazeno na Obr. 10.



Obr. 10. Fázový šum ve frekvenční oblasti

U DDS se fázový šum automaticky redukuje v souladu se vztahem: $20 \cdot \log(f_{OUT} / f_{CLK})$. To znamená, že výstupní signál o frekvenci 1 MHz bude mít o 20 dB menší hodnotu fázového šumu než výstupní signál o frekvenci 10 MHz při konstantním referenčním signálu f_{CLK} . Obr. 11 ilustruje vliv fázového šumu a chvění hran referenčního signálu na výstupní signál. Fázový šum, vyjádřený v časové oblasti jako periodické chvění, se často vyjadřuje v procentech a je vztažen k periodě harmonického signálu. Chvění hran referenčního signálu nemá vliv na přesnost inkrementačního kroku ve fázovém akumulátoru, inkrementační krok závisí pouze na řídicím slově a nikterak nezávisí na kvalitě referenčního signálu.

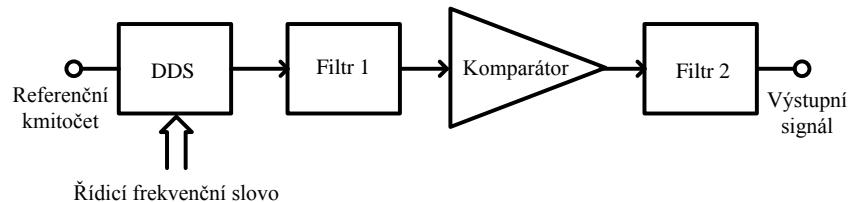


Obr. 11. Vliv chvění hran a fázového šumu na výstupní signál, [1]

2.5 Příklady použití DDS obvodů

Obvody DDS lze přímo použít jako generátory s digitálně řízenou frekvencí, frekvenčně modulované generátory se spojitou i skokovou změnou frekvence a lze provádět i fázovou modulaci.

Pokud je zapotřebí dosáhnout vysokou spektrální čistotu výstupního signálu je možné využít zapojení na Obr. 12, kde filtrovaný výstup z DDS je pomocí komparátoru převeden na obdélníkový signál a následně filtrován k odstranění nežádoucích frekvenčních složek. Jediným problémem je nutnost přeladování filtru 2 se změnou generované frekvence DDS obvodem.

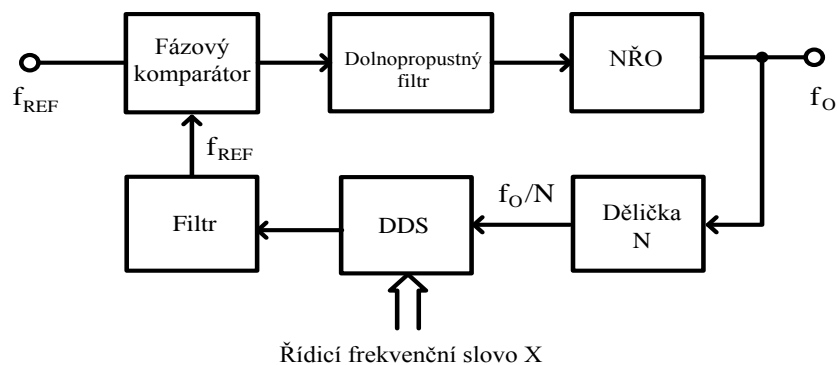


Obr. 12. Generování signálu s vysokou spektrální čistotou pomocí DDS, [2]

DDS našel také uplatnění v obvodech fázového závěsu PLL, jak je vidět na Obr. 13. Na jeden ze vstupů fázového komparátoru je přiveden referenční signál o kmitočtu f_{REF} . Výstupní signál fázového komparátoru prochází dolnoproustným filtrem a je přiveden na řídicí vstup napěťově řízeného oscilátoru (NŘO), který generuje signál o kmitočtu f_O . Tento signál je přiveden na děličku a z výstupu děličky, která dělí číslem N na obvod DDS, který je řízen číslem X . Výstupní signál obvodu DDS je přes filtr přiveden na druhý vstup fázového komparátoru. Kmitočet tohoto signálu musí být ve stavu synchronizmu také f_{REF} . Platí tedy vztah (13) z něhož vyplývá, že výstupní frekvence f_O lze řídit řídicím číslem X .

[1], [2], [3], [4], [5], [6], [7]

$$(f_O / N) \cdot X / 2^n = f_{REF} \rightarrow f_O = \frac{f_{REF} \cdot N \cdot 2^n}{X} \quad (13)$$



Obr. 13. Použití DDS ve smyčce fázového závěsu, [2]

3 Popis obvodu AD9833

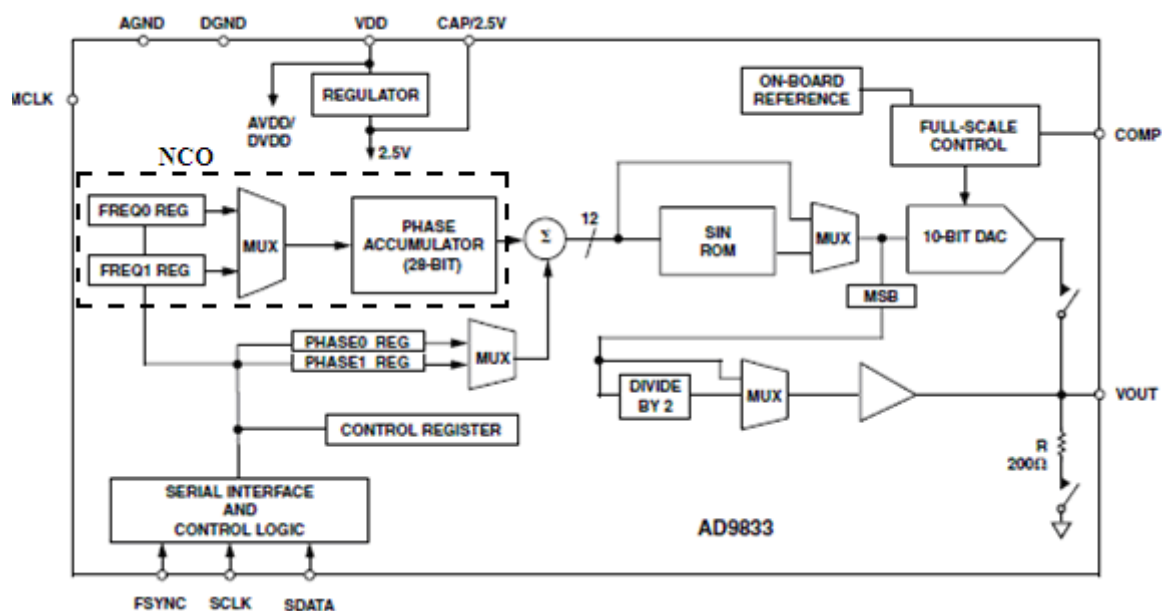
AD9833 je plně integrovaný přímý digitální syntezátor na jednom čipu, který je typický svou nízkou spotřebou a schopností generovat sinusový, trojúhelníkový a obdélníkový signál. Integrovaný obvod pro svou funkci vyžaduje jeden zdroj referenčního kmitočtu a několik blokových kondenzátorů. Kromě generování signálu až do 12,5 MHz je integrovaný obvod schopný modulace signálu. Modulace se provádí digitálně, což umožňuje přesnou a jednoduchou realizaci modulačního algoritmu použitím například digitálního signálového procesoru, proto může být obvod použit jak pro jednoduché modulace FSK či PSK, tak pro složitější modulace jako GMSK a QPSK.

Obvod AD9833 je možné využívat v různých druzích snímání, řízení a například v TDR (Time domain reflectometer – metoda, kterou lze zjistit vzdálenost hledané chyby v přenosovém médiu).

Vlastnosti obvodu

- Digitálně nastavitelná frekvence a fáze
- Spotřeba energie při napájení 3V je 20 mW
- Výstupní frekvence se může pohybovat v rozmezí 0 Hz až 12,5 MHz
- 28 bitový frekvenční řídicí registr a fázový akumulátor
- Výstupní signál – sinusový, trojúhelníkový, obdélníkový
- Napájení 2,5 V až 5,5 V
- Minimum externích součástek
- Tří-vodičové sériové rozhraní SPI
- Rozšířený teplotní rozsah -40°C až +105°C
- Pouzdro 10-ti pinové MSOP

Integrovaný obvod se skládá z několika hlavních částí: číslem řízeného oscilátoru (NCO), fázového akumulátoru, fázového sumátoru, paměti s převodní tabulkou (SIN ROM), D/A převodníku a regulátoru.



Obr. 14. Blokové schéma obvodu AD9833, [8]

Číslem řízený oscilátor a fázový modulátor

Tato část integrovaného obvodu se skládá ze dvou frekvenčních registrů, fázového akumulátoru, dvou fázových offsetových registrů a sumátoru fázového offsetu. Jako vstup fázového akumulátoru může být vybrán jeden ze dvou frekvenčních registrů FREQ0 nebo FREQ1. Výběr se provádí pomocí bitu FSELECT v konfiguračním registru.

Díky 12-ti bitovým fázovým offsetovým registrům PHASE0 a PHASE1 je možné provádět fázovou modulaci. Hodnota vybraného registru je pomocí fázového sumátoru přičtena k 12-ti bitům NCO s nejvyšší vahou. Tím je možné měnit fázi výstupního signálu s rozlišením $2\pi/4096$. Výběr těchto registrů se provádí v konfiguračním registru pomocí bitu PSELECT.

SIN ROM

Abychom mohli generovat sinusový signál je potřeba výstup z NCO nesoucí fázovou informaci převést na sinusovou informaci. Tento převod dělá převodní tabulka (paměť) SIN ROM. Ačkoliv máme k dispozici 28mi bitový fázový akumulátor, je jeho výstup redukován na horních 12 bitů. Jelikož je zbytečné mít takto velké rozlišení fáze, které nejsme schopni D/A převodníkem převést na odpovídající napěťové úrovně.

D/A převodník

Obvod AD9833 má implementovaný 10-ti bitový D/A převodník s proudovým vysoko impedančním výstupem. Vstupní digitální slovo D/A převodníku je získáváno z SIN ROM nebo přímo z NCO (trojúhelníkový signál) a převáděno na odpovídající analogové hodnoty. D/A převodník pracuje jen s jednou polaritou proudu. Obvod má implementovaný rezistor R o hodnotě 200 Ω, který slouží k převodu proudu na napětí. Výstupní napětí má typickou hodnotu 0,6 V_{p-p}.

Regulátor

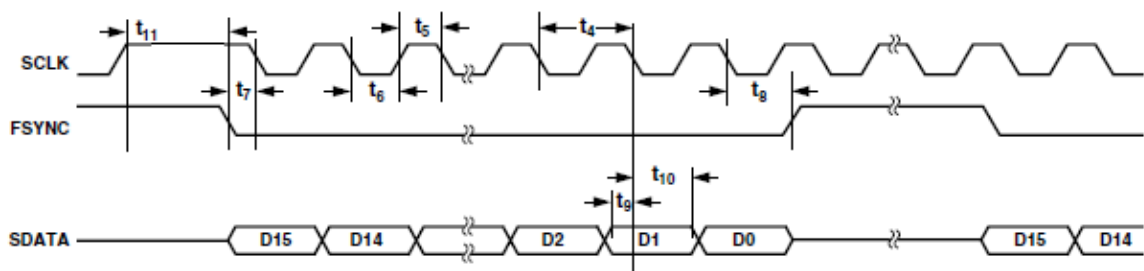
Napájecí napětí přiváděné na vstup VDD poskytuje napájení pro analogové tak digitální části obvodu. Napájecí napětí se může pohybovat v rozmezí 2,3 V až 5,5 V. Vnitřní digitální část obvodu však pracuje s napětím 2,5 V, proto je v architektuře obvodu obsažen regulátor, který napájí digitální část obvodu.

Sériový interface

AD9833 má standardní 3vodičové sériové rozhraní, které je kompatibilní s SPI, QSPI, MICROWIRE a standardním rozhraním DSP.

Data jsou načítána jako 16-ti bitová slova řízena hodinovým signálem SCLK. Časový diagram komunikace je ukázán na Obr. 15 s legendou v Tab. 3. Vstupem FSYNC se provádí výběr daného čipu (povolí se načítání dat). Data mohou být načítána jen, pokud je FSYNC v logické nule. Po šestnácté sestupné hraně je možné FSYNC nastavit na úroveň logické jedničky nebo je možné FSYNC nechat nastavený na úroveň logické nuly a načíst tak dalších 16 bitů. Po načtení požadovaného počtu 16-ti bitových slov se FSYNC nastaví na hodnotu logické jedničky a tím je přenos dat ukončen.

Hodinový signál může být kontinuální nebo po přenosu dat je možné SCLK nastavit do klidové úrovně a to buď to do logické jedničky či nuly. Musí však být v logické úrovni jedna při výběru čipu signálem FSYNC.



Obr. 15. Časový diagram sériové komunikace, [8]

Tab. 3. Legenda k Obr. 15

| Parametr | Čas [ns] | Min/Max |
|------------|----------|---------|
| t_4 | 25 | min |
| t_5 | 10 | min |
| t_6 | 10 | min |
| t_7 | 5 | min |
| t_{8min} | 10 | min |
| t_{8max} | t_4-5 | max |
| t_9 | 5 | min |
| t_{10} | 3 | min |
| t_{11} | 5 | min |

3.1 Inicializace obvodu

Správná inicializace je základem pro korektní funkci obvodu. Po připojení napájecího napětí k obvodu není zaručena hodnota v interních, frekvenčních, fázových registrech ani v konfiguračním registru. Proto je nutné nejdříve použít funkci RESET, která nastaví výstup DA převodníku doprostřed jeho rozsahu, díky čemuž se na výstupu nebudou objevovat nežádoucí a nepředvídatelné stavy, rovněž tato funkce vynuluje vnitřní registry. Následně se zapíše požadované hodnoty do frekvenčních a fázových registrů. A jako poslední část inicializace se provede konfigurace prostřednictvím zapsání konfiguračního slova a deaktivuje se reset. Na Obr. 16 je uveden algoritmus inicializace. Algoritmus zápisu dat bude uveden dále.



Obr. 16. Algoritmus inicializace

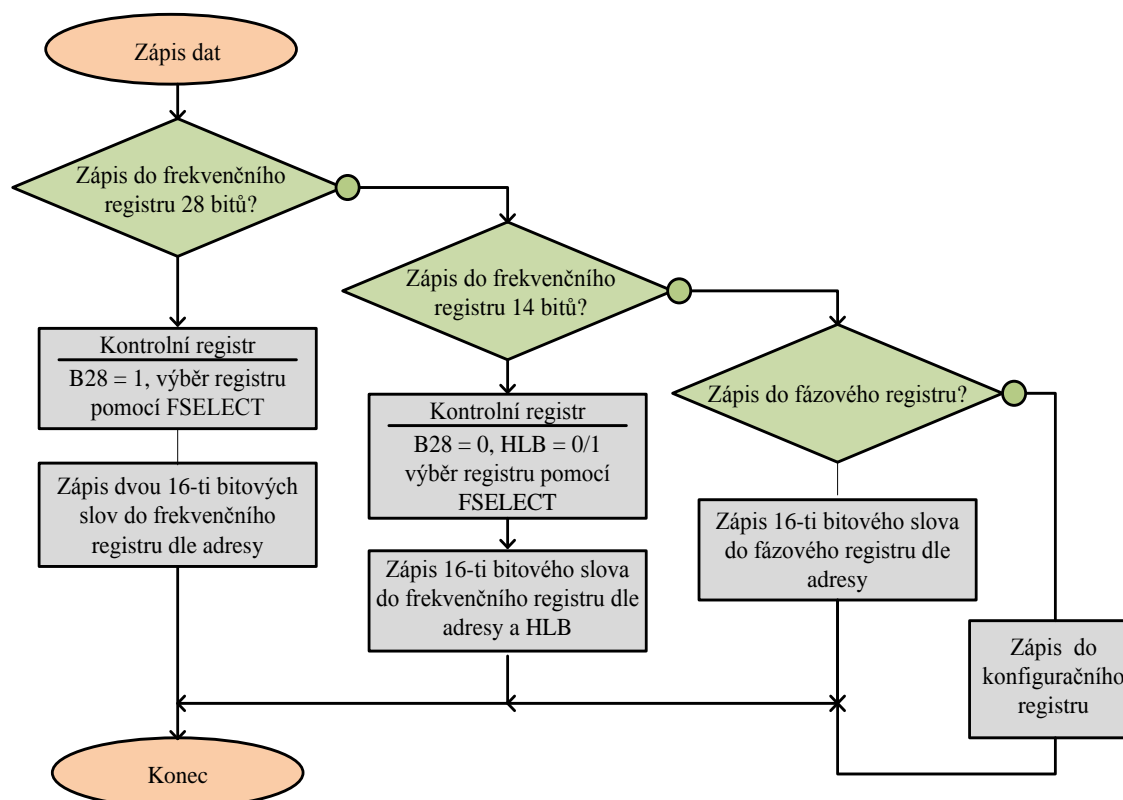
3.2 Zápis dat

Při zápisu se vždy zapisuje 16-ti bitové slovo, z čehož je jasné, že jednoduchým zápisem je možné zaspat jen do konfiguračního a fázových registrů. Menší problém nastává při zápisu do frekvenčních registrů, které jsou 28 bitové. Máme dvě možnosti, tou první je zápis celých 28 bitů pomocí dvou zápisů 16-ti bitových slov (dva bity z každého slova jsou adresou). Druhou možností je využít rozmanitého nastavení obvodu a zapisovat do frekvenčního registru pouze 14 bitů a to buďto horních nebo dolních v závislosti na nastavení. Algoritmus zápisu dat do obvodu AD9833 je zobrazen na Obr. 17.

Aby byl definován cílový registr (PHASE, FREQ, CONTROL) u všech přijatých slov, je nutné zavedení adresy. V Tab. 4 jsou uvedeny jednotlivé formáty načítaných slov.

Tab. 4. Formáty zpráv – červeně zvýrazněné bity jsou adresy cílových registrů

| Přijaté 16-ti bitové slovo | | | | | | | | | | | | | | | | Cílový registr |
|----------------------------|-----|------|-----|------|-----|----|----|----|----|----|----|----|----|----|----|----------------------|
| W15 | W14 | W13 | W12 | W11 | W10 | W9 | W8 | W7 | W6 | W5 | W4 | W3 | W2 | W1 | W0 | |
| 0 | 0 | DATA | | | | | | | | | | | | | | Konfigurační registr |
| 0 | 1 | DATA | | | | | | | | | | | | | | FREQ0 |
| 1 | 0 | DATA | | | | | | | | | | | | | | FREQ1 |
| 1 | 1 | 0 | X | DATA | | | | | | | | | | | | PHASE0 |
| 1 | 1 | 1 | X | DATA | | | | | | | | | | | | PHASE1 |



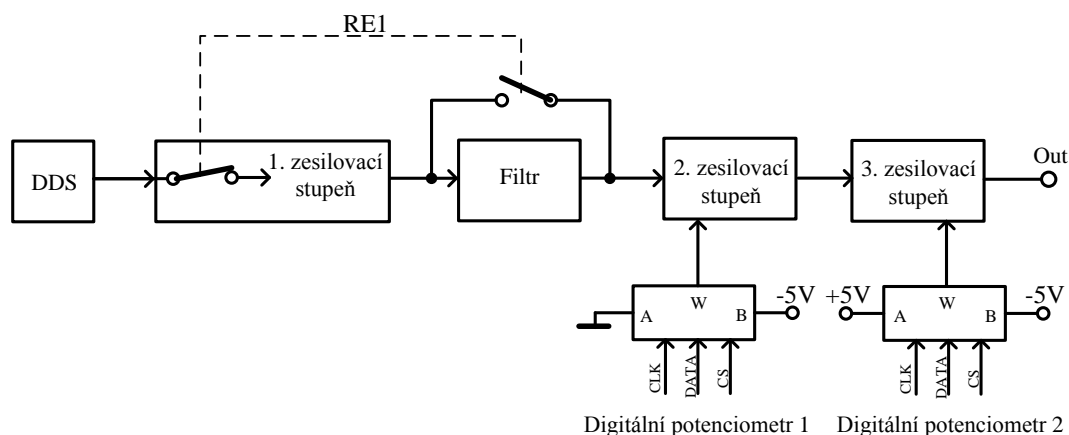
Obr. 17. Algoritmus zápisu dat

Použitý mikroprocesor PIC18F4550 má implementované osmi bitové SPI rozhraní. Takže je možné v jedné zprávě poslat pouze 8 bitů, což neodpovídá délce zprávy u obvodu AD9833. To však není nikterak velký problém. Řešení spočívá v tom, že po nastavení FSYNC = 0 (aktivování čipu) je nutné místo jedné poslat dvě zprávy o osmi bitech s tím, že první zpráva představuje horních 8 bitů a druhá dolních 8 bitů šestnáctibitové zprávy.

[8]

4 Realizace funkčního generátoru

Generovaný sinusový a trojúhelníkový signál z DDS obvodu se typicky nachází v napěťovém pásmu 38 mV až 0,65 V. To znamená, že generovaný signál má přibližně amplitudu 0,3 V se stejnosměrnou složkou 0,3 V. Obdélníkový signál se nachází v napěťovém rozsahu 0 V až 5 V. Zesilovací řetězec musí zajistit odstranění nežádoucí stejnosměrné složky, říditelné zesílení a říditelné přidání stejnosměrné složky. Na Obr. 18 je ukázáno blokové schéma tohoto zesilovacího řetězce.



Obr. 18. Blokové schéma zesilovacího řetězce

4.1 První zesilovací stupeň

Sinusový a trojúhelníkový signál je vytvářen DA převodníkem implementovaným v DDS obvodu, jeho amplituda je 0,3 V. Obdélníkový signál je odvozen z digitálního slova generovaného fázovým akumulátorem, jeho amplituda je 5 V. Tato skutečnost je v našem případě problémová, protože abychom docílili na výstupu řetězce rozsah úrovní signálu 1 až 8 V, bylo by nutné použít zesilovací řetězec, který by umožňoval nejen zesílení ale i útlum signálu.

Je lépe obdélníkový signál upravit tak, aby měl stejnou amplitudu jako trojúhelníkový a sinusový signál. Možností jak toho dosáhnout je mnoho od nelineárních omezovačů až po lineární řešení. V aplikaci je použito lineární řešení opírající se o vlastnosti operačního zesilovače.

Dalším kolem tohoto stupně je odstranění stejnosměrné složky. Jelikož generovaný signál se může pohybovat od 0,25 Hz do 1 MHz je použití derivačního RC článku vyloučeno, proto je stejnosměrná složka ze signálu odstraněna pomocí invertujícího součtového zesilovače.

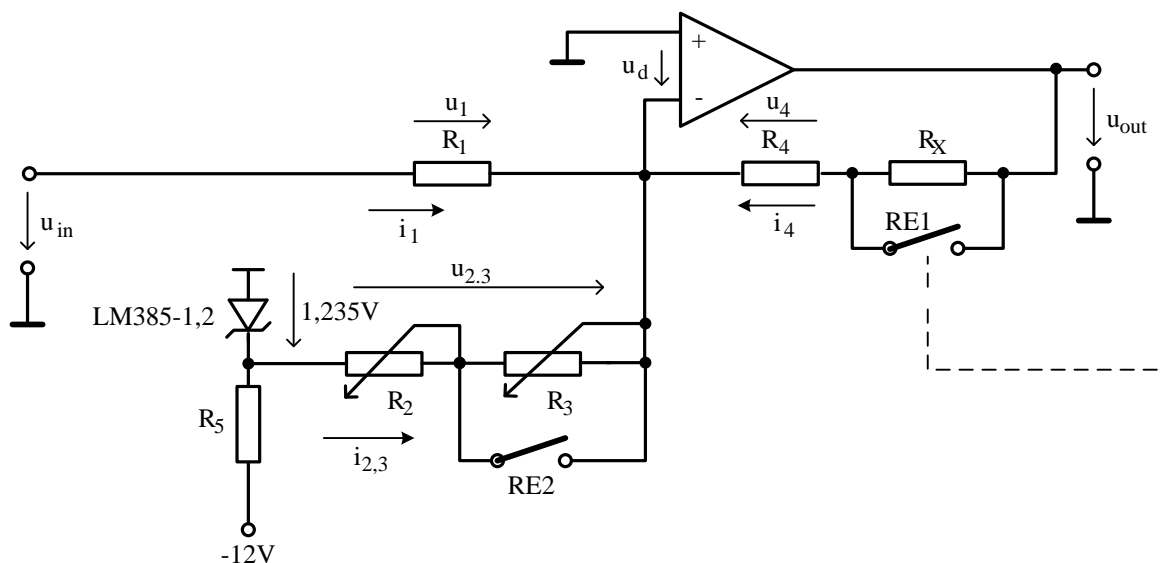
V neposlední řadě je tento stupeň použit k předzesílení signálu z amplitudy 0,3 V na amplitudu 0,5 V. Schéma zapojení je na Obr. 19. Jedná se o invertující součtový zesilovač, který lze popsat vztahem (14) a (15).

$$i_1 + i_{2,3} = -i_4 \rightarrow \frac{u_{in}}{R_1} + \frac{u_{2,3}}{R_2 + d \cdot R_3} = -\frac{u_{out}}{R_4 + R_x} \quad (14)$$

$$u_{out} = -(R_4 + R_X) \cdot \left(\frac{u_{in}}{R_1} + \frac{u_{2,3}}{d_1 \cdot R_2 + d_2 \cdot R_3} \right) \quad (15)$$

kde

| | |
|------------|--|
| d_1, d_2 | Natočení potenciometru (0 - 1) |
| R_X | Při generování sin/troj rozepruto relé RE1 $\rightarrow R_X = R_X$ Při generování obdélníku sepnuto relé RE1 $\rightarrow R_X = 0 \Omega$ |
| $u_{2,3}$ | $u_{2,3} = -1,235 \text{ V}$ |



Obr. 19. První zesilovací stupeň

Nejprve si představme situaci, kdy generujeme sinusový nebo trojúhelníkový signál, kontakt RE1 a RE2 je rozeprnut a nemáme připojeny trimry R_3 a R_2 . Dostáváme invertující zapojení operačního zesilovače. Požaduje se zesílení vstupního signálu o amplitudě 0,3 V na hodnotu přibližně 0,5 V, čemuž odpovídá zesílení dle vztahu (16)

$$A = \frac{u_{out}}{u_{in}} = \frac{0,5}{0,3} = -\frac{R_4 + R_X}{R_1} = -1,666 \quad (16)$$

Požadované zesílení je tedy 1,666. Jsou voleny hodnoty $R_1 = 6,8 \text{ k}\Omega$ a $R_4 + R_X = 12,5 \text{ k}\Omega$, čemuž odpovídá zesílení - 1,838. (Odpor R_1 je volen tak, aby nezatěžoval DDS obvod).

Nyní budeme chtít generovat obdélníkový signál, sepneme relé RE1, RE2 a dostaneme vztah (17), (stále neuvažujeme trimry R_3 a R_4).

$$A = -\frac{u_{out}}{u_{in}} = -\frac{0,3 \cdot 1,838}{5} = \frac{R_4}{R_1} = 0,1103 \rightarrow R_4 = 0,1103 \cdot R_1 = 750\Omega \quad (17)$$

Nyní známe hodnoty rezistorů R_1 a R_4 . Zbylý rezistor R_X se vypočte ze vztahu $R_4 + R_X = 12,5 \text{ k}\Omega$ tedy $R_X = 11,75 \text{ k}\Omega$. Tato hodnota se nevyskytuje v řadě a proto ji sestavíme pomocí sériového zapojení rezistorů $11 \text{ k}\Omega$ a 750Ω .

Dalším krokem je navrhnutí R_2 , R_3 a R_5 , které jsou zapojeny tak, aby odstranily stejnosměrnou složku ze signálu. Opět budeme nejprve předpokládat generování sinusového či trojúhelníkového signálu (relé RE1 a RE2 jsou rozepnuty). K návrhu je využit vztah (18), kterého se dosáhlo úpravou vztahu (15).

$$u_{outSS} = -(R_4 + R_X) \cdot \left(\frac{u_{inSS}}{R_1} + \frac{u_{2,3}}{d_1 \cdot R_2 + d_2 \cdot R_3} \right) \quad (18)$$

Pro $u_{outSS} = 0$ a $d_1, d_2 = 0,5$ musí platit vztah (19).

$$\begin{aligned} \frac{u_{inSS}}{R_1} + \frac{u_{2,3}}{d_1 \cdot R_2 + d_2 \cdot R_3} = 0 &\rightarrow \frac{u_{inSS}}{R_1} = -\frac{u_{2,3}}{d_1 \cdot R_2 + d_2 \cdot R_3} \rightarrow \\ &\rightarrow \frac{0,3}{6800} = \frac{1,235}{0,5 \cdot (R_2 + R_3)} \rightarrow R_2 + R_3 = 56 \text{ k}\Omega \end{aligned} \quad (19)$$

V případě generování obdélníkového signálu (relé RE1 a RE2 jsou sepnuty) je situace obdobná, viz následující vztah (20).

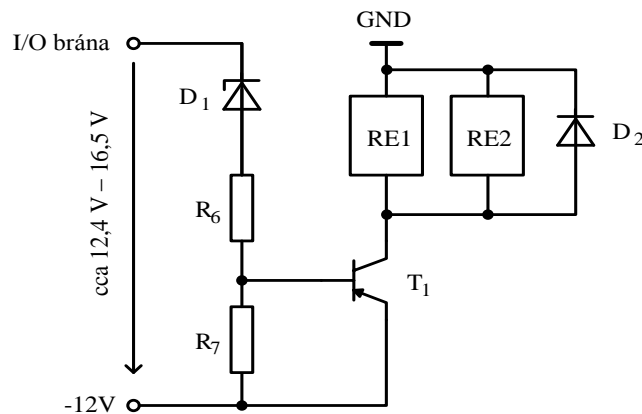
$$\begin{aligned} \frac{u_{inSS}}{R_1} + \frac{u_{2,3}}{d_1 \cdot R_2} = 0 &\rightarrow \frac{u_{inSS}}{R_1} = -\frac{u_{2,3}}{d_1 \cdot R_2} \rightarrow \\ &\rightarrow \frac{2,5}{6800} = \frac{1,235}{0,5 \cdot R_2} \rightarrow R_2 = 6,7 \text{ k}\Omega \end{aligned} \quad (20)$$

Trimry jsou voleny 25otáčkové o hodnotách $R_2 = 10 \text{ k}\Omega$ a $R_3 = 50 \text{ k}\Omega$. Díky víceotáčkovému trimru je snazší nastavení nulového stejnosměrného napětí na výstupu OZ. Nastavení se nejprve provede pro generování obdélníkového signálu, kde se otáčením trimru R_2 snažíme dosáhnout nulové stejnosměrné složky signálu. Trimrem R_3 se doladí nulová stejnosměrná složka pro sinusový či trojúhelníkový signál.

Pracovní bod referenčního zdroje napětí LM 385 – 1,2 je nutné nastavit rezistorem R_5 . Proud obvodem se může pohybovat v rozmezí od $10 \mu\text{A}$ až do 20 mA . Při $d = 0$ je odebíráán proud cca $i_{2,3} = 370 \mu\text{A}$, abychom příliš nezatěžovali referenční zdroj, je vhodné volit proud obvodem kolem 5 mA . Tomuto proudu odpovídá rezistor $R_5 = 2,2 \text{ k}\Omega$.

Relé bude ovládáno prostřednictvím vstupně/výstupní brány μ -procesoru. Maximální proud tekoucí z/do brány je 25 mA, avšak celkový proud tekoucí ze/do všech bran je omezen na hodnotu 200 mA. Proto není vhodné relé spínat přímo prostřednictvím brány. V aplikaci jsou použity relé s cívkami na 12 V_{DC} a odporem 1020 Ω a 1000 Ω . Cívky relé budou připojeny mezi zem a záporné napětí, abychom nezatěžovali kladnou napájecí větev, ze které je již napájena celá digitální část aplikace.

Nyní stojíme před problémem jak spínat cívku z brány μ -procesoru jejíž výstupní napětí se pohybuje v rozsahu cca 0,4 V až 4,5 V a na cívku potřebuje přivádět -12 V. Řešení je zobrazeno na Obr. 20.



Obr. 20. Řízení cívky relé pomocí μ -procesoru

Potřebný proud cívkami relé je dán vztahem (21).

$$I_{RELE} = \frac{U_{RELE}}{R_{RELE}} = \frac{12}{1020} + \frac{12}{1000} = 23,76 \text{ mA} \quad (21)$$

Jako tranzistor T_1 je použit BC847C s minimálním proudovým zesílením $\beta = 420$, z toho plyne potřebný proud báze dle vztahu (22).

$$I_B = \frac{I_C}{\beta} = \frac{0,02376}{420} = 57 \mu\text{A} \quad (22)$$

Proud děličem napětí volíme cca desetkrát větší než potřebný proud báze tedy asi 570 μA . Pokud zvolíme Zenerovu diodu D_1 se Zenerovým napětím 12 V a budeme-li chtít, aby došlo k sepnutí tranzistoru při napětí na vstupně/výstupní bráně 2,5 V musí platit vztah (23).

$$R_6 + R_7 = \frac{12 + 2,5 - U_Z}{570 \cdot 10^{-6}} = \frac{2,5}{570 \cdot 10^{-6}} = 4386 \Omega \quad (23)$$

Tranzistor se spíná přibližně při napětí $U_{BE} = U_{R7} = 0,6 \text{ V}$, takže pro daný proud napětíovým děličem musí platit vztah (24)

$$R_7 = \frac{U_{BE}}{570 \cdot 10^{-6}} = \frac{0,6}{570 \cdot 10^{-6}} = 1053 \Omega \quad (24)$$

Hodnotu R_7 volíme $1 \text{ k}\Omega$ a dopočítáme hodnotu $R_6 = 3368 \Omega$, tato hodnota se nenachází v řadě vyráběných rezistorů, proto volíme hodnotu $3,3 \text{ k}\Omega$.

Ochranná dioda D_2 , chrání obvod před přepětím vznikajícím při vypnutí tranzistoru. Jelikož se proud cívkou nemůže měnit skokově, při vypnutí tranzistoru se na cínce objeví vysoké napětí opačné polarity, které by mohlo zničit okolní obvody. Díky diodě se velikost tohoto napětí eliminuje na cca $0,6 \text{ V}$.

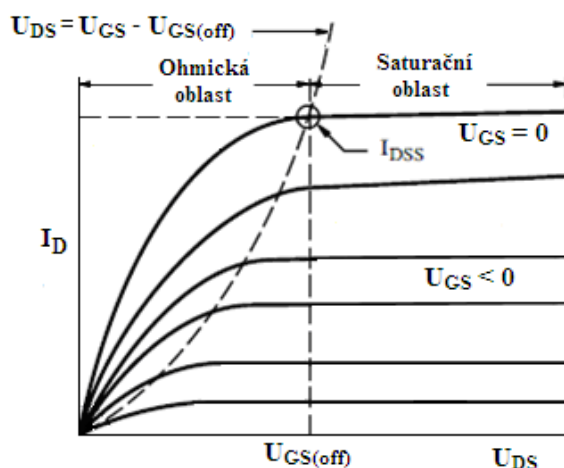
4.2 Druhý zesilovací stupeň

Tento stupeň umožňuje digitální řízení zesílení střídavého signálu vystupujícího z prvního zesilovacího stupně. Nejjednodušší řešení je použití operačního zesilovače, který má místo jednoho rezistoru digitální potenciometr. Problémem tohoto řešení je frekvenční závislost digitálního potenciometru, obvykle jde digitální potenciometr použít do frekvencí okolo 100 kHz . Další možností je jeden rezistor nahradit optočlenem, který má na výstupu fotorezistor. Takovéto optočleny jsou poměrně drahé a špatně k sehnání, obzvláště požadujeme-li linearitu do vysokých kmitočtů. Z výše popsaných důvodů je použit jako zpětnovazební prvek napětím řízený rezistor realizovaný pomocí unipolárního tranzistoru JFET. Řídící napětí pro napětím řízený rezistor je pak vytvářeno pomocí digitálního potenciometru.

4.2.1 Napětím řízený rezistor (VCR)

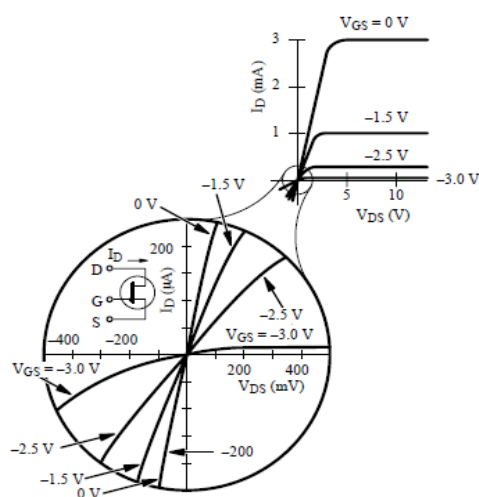
Elektronický prvek, u kterého lze řídit jeho odpor velikostí řídicího napětí je nazýván napětím řízený rezistor. Jednou z možností jak takovýto prvek vytvořit je využití unipolárního tranzistoru typu JFET. Odpor kanálu JFETu je za určitých podmínek závislý pouze na napětí U_{GS} a chová se téměř jako čistě ohmický rezistor.

Maximální proud I_{DSS} a tedy i minimální odpor $r_{DS(on)}$ dosahuje tranzistor při nulovém napětí U_{GS} . Pokud budeme napětí zvyšovat (pro n-kanál do záporných napětí, pro p-kanál do kladných napětí) bude odpor kanálu růst. Na Obr. 21 je ukázána výstupní charakteristika tranzistoru JFET.



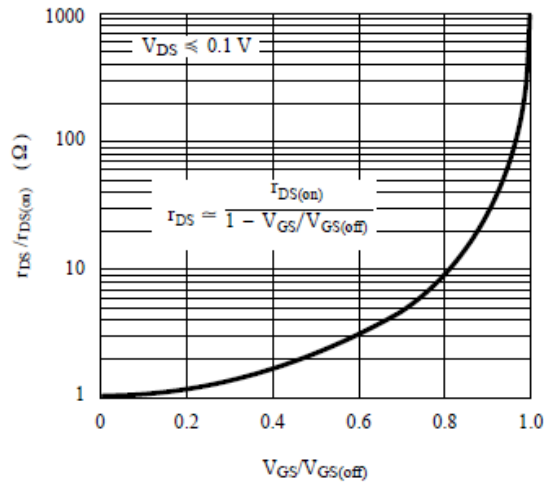
Obr. 21. Výstupní charakteristika tranzistoru typu JFET s kanálem n, [9]

Výstupní charakteristika se obvykle rozděluje na saturační a ohmickou oblast. Ve většině aplikací jako jsou zesilovače se využívá saturační oblast. Pro funkci napětím řízeného rezistoru se však musíme pohybovat v ohmické oblasti. Je vidět, že charakteristiky v této oblasti jsou závislé na napětí U_{GS} , ale nejsou nikterak lineární, jak bychom potřebovali. Proto se pro funkci využívá jen malá část charakteristiky kolem počátku, kde se charakteristika nejvíce blíží ideálu, jak je vidět na Obr. 22. Obvykle se vyžaduje, aby $|U_{DS}|$ nepřekročilo 200 mV. Díky tomu, že se jedná o unipolární tranzistor, je možné, aby napětí U_{DS} bylo jak kladné tak záporné (např. střídavý signál). Důležité však je, aby při záporném napětí U_{DS} byl pořádku záporně polarizovaný přechod izolující gate. Pokud se budeme pohybovat ve výše zmiňovaném intervalu 200 mV, problém nehrozí.



Obr. 22. Zvětšenina výstupní charakteristiky tranzistoru JFET, [9]

Na Obr. 23 je vidět závislost změny odporu kanálu na napětí U_{GS} v poměrných veličinách. Jak je vidět, dynamický rozsah r_{DS} je větší než 100:1, ale z důvodu snazšího řízení se obvykle používá menší rozsah často 10:1.



Obr. 23. Závislost změny odporu r_{DS} na napětí U_{GS} v poměrných veličinách, [9]

4.2.2 Linearizace VCR

Velké množství aplikací s VCR vyžaduje co nejmenší možné zkreslení signálu. A i když se budeme pohybovat v oblasti kolem počátku výstupní charakteristiky tranzistoru, vždy se signál bude díky nelineární charakteristice více či méně zkreslovat. Toto zkreslení lze minimalizovat zavedením jednoduché zpětné vazby. Proud I_D je v ohmické oblasti popsán vztahem (25) a hodnota odporu kanálu r_{DS} vztahem (26).

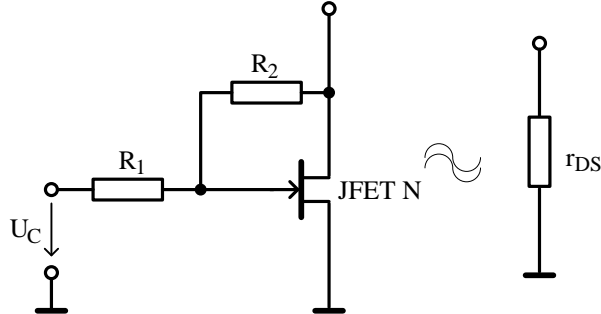
$$I_D = \frac{2 \cdot I_{DSS}}{U_{GS(off)}^2} (U_{GS} - U_{GS(off)} - 0,5 \cdot U_{DS}) \cdot U_{DS} \quad (25)$$

$$\frac{1}{r_{DS}} = \frac{I_D}{U_{DS}} = \frac{2 \cdot I_{DSS}}{U_{GS(off)}^2} (U_{GS} - U_{GS(off)} - 0,5 \cdot U_{DS}) \quad (26)$$

kde

| | |
|---------------|--|
| I_D | Proud Drainem tranzistoru |
| I_{DSS} | Maximální proud Drainem tranzistoru |
| U_{GS} | Napětí mezi Gata a Source tranzistoru |
| $U_{GS(OFF)}$ | Napětí Pinch-off |
| U_{DS} | Napětí mezi Drain a Source tranzistoru |
| r_{DS} | Odpor kanálu tranzistoru |

Je vidět že proud I_D je v ohmické oblasti funkcí U_{GS} a U_{DS} . My bychom však potřebovali, aby proud I_D byl závislý pouze na U_{GS} . Toto lze vyřešit zpětnou vazbou zobrazenou na Obr. 24.



Obr. 24. Linearizující zpětná vazba

Nyní lze vyjádřit napětí U_{GS} vztahem (27).

$$U_{GS} = \frac{R_2}{R_1 + R_2} \cdot U_C + \frac{R_1}{R_1 + R_2} \cdot U_{DS} \quad (27)$$

Pokud budou mít oba rezistory stejnou hodnotu odporu ($R_1 = R_2$), pak dostaneme vztah (28).

$$U_{GS} = 0,5(U_C + U_{DS}) \quad (28)$$

Pokud dosadíme do vztahu (26) vztah (28) dostáváme vztah popisující závislost r_{DS} pro linearizovaný tranzistor (29).

$$\begin{aligned} \frac{1}{r_{DS}} &= \frac{2 \cdot I_{DSS}}{U_{GS(off)}^2} [0,5(U_C + U_{DS}) - U_{GS(off)} - 0,5 \cdot U_{DS}] = \\ &= \frac{2 \cdot I_{DSS}}{U_{GS(off)}^2} (0,5 \cdot U_C - U_{GS(off)}) \end{aligned} \quad (29)$$

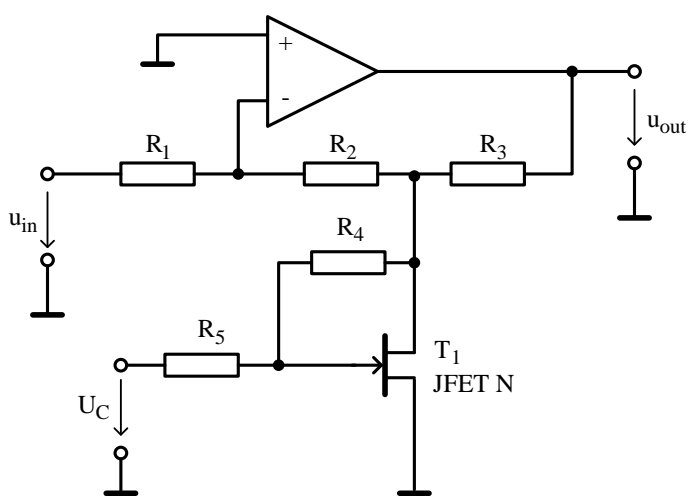
Ze vztahu (29) je vidět, že po linearizaci je hodnota r_{DS} závislá pouze na řídicím napětí U_C , díky čemuž nedochází ke zkreslení signálu. Zavedením zpětné vazby se však sníží citlivost řízení r_{DS} o polovinu. Dále by součet rezistorů R_1 a R_2 měl být mnohem větší než sérioparalelní kombinace $(R_1 + R_2) \parallel r_{DSMAX}$. Nesmíme také zapomínat na vnitřní odpor zdroje řídicího napětí, který musí být mnohem menší než R_1 resp. R_2 , jelikož by mohl rozvážit zpětnou vazbu ($R_1 + R_i \neq R_2$, kde R_i je vnitřní odpor zdroje řídicího napětí). Dále si musíme uvědomit, že díky zpětné vazbě se do užitečného signálu přenáší i část řídicího napětí a proto R_1 a R_2 musí být dostatečně velké alespoň 470 KΩ. Vhodné tranzistory pro realizaci napětíově řízeného rezistoru jsou uvedeny v Tab. 5.

Tab. 5. Několik vhodných tranzistorů pro realizaci VCR

| $r_{DS(on)}$ [Ω] | Kovové pouzdro | Plastový ekvivalent | SMD ekvivalent |
|---------------------------|----------------|---------------------|----------------|
| 20 - 60 | VCR2N | J111 | SST111 |
| 100 - 600 | VCR4N | 2N5486 | SST5486 |
| 4k - 8k | VCR7N | PN4119A | SST4119 |

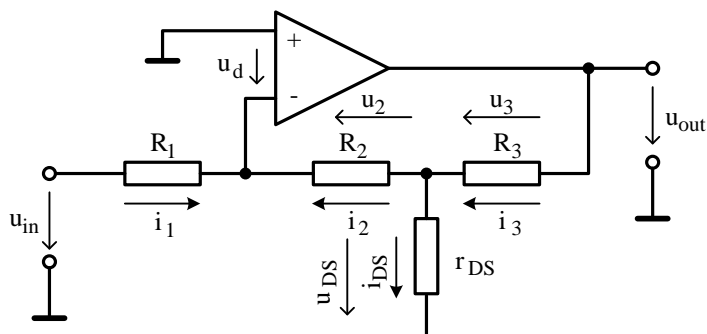
4.2.3 Napětím řízený zesilovač s VCR

Zapojení napětím řízeného zesilovače s VCR dále jen VCA je zobrazeno na Obr. 25. Pro svou funkci využívá invertujícího zapojení operačního zesilovače, s vhodně zapojeným VCR. Rezistory R_4 a R_5 provádějí linearizaci tranzistoru.



Obr. 25. Napětím řízený zesilovač s VCR

K odvození vztahů pro zesílení je nutné vyznačit ve schématu jednotlivé napětí a proudy, dále při odvození zesílení struktury zanedbáme vliv zpětné vazby linearizující tranzistor a tranzistor nahradíme odporem r_{DS} . Upravené schéma je uvedeno na Obr. 26.



Obr. 26. Upravené schéma VCA

Nyní provedeme odvození vztahů pro ideální operační zesilovač (VFA – voltage feedback amplifier). U operačního zesilovače předpokládáme nulové napětí mezi vstupy OZ ($u_d = 0$), nulový proud do vstupů, nulový výstupní odpor a nekonečně velké zesílení operačního zesilovače v otevřené smyčce bez frekvenční závislosti.

$$i_1 = -i_2 \rightarrow i_2 = \frac{u_2}{R_2} = -\frac{u_{in}}{R_1} \quad (30)$$

$$u_2 = u_{DS} \rightarrow u_{DS} = -\frac{u_{in}}{R_1} \cdot R_2 \quad (31)$$

$$i_{DS} = \frac{u_{DS}}{R_{DS}} = -\frac{u_{in}}{R_1 \cdot r_{DS}} \cdot R_2 \quad (32)$$

$$i_3 = i_2 + i_{DS} = -\frac{u_{in}}{R_1} - \frac{u_{in}}{R_1 \cdot r_{DS}} \cdot R_2 = -\frac{u_{in}}{R_1} \left(1 + \frac{R_2}{r_{DS}} \right) \quad (33)$$

$$\begin{aligned} u_{out} = u_3 + u_{DS} &= i_3 \cdot R_3 + u_{DS} = -\frac{u_{in}}{R_1} \left(1 + \frac{R_2}{r_{DS}} \right) \cdot R_3 - \frac{u_{in}}{R_1} \cdot R_2 = \\ &= -\frac{u_{in}}{R_1} \left[\left(1 + \frac{R_2}{r_{DS}} \right) \cdot R_3 + R_2 \right] \end{aligned} \quad (34)$$

$$A = \frac{u_{out}}{u_{in}} = -\frac{1}{R_1} \left[\left(1 + \frac{R_2}{r_{DS}} \right) \cdot R_3 + R_2 \right] = -\frac{R_2 + R_3 + \frac{R_2 R_3}{r_{DS}}}{R_1} \quad (35)$$

Ze vztahu (35) je vidět, že zesílení je hyperbolicky závislé na r_{DS} , dosadíme-li vztah (29) do vztahu (35) získáme závislost zesílení na řídicím napětí U_C , vztah (36).

$$A = -\frac{R_2 + R_3 + R_2 R_3 \cdot \frac{2 \cdot I_{DSS}}{U_{GS(off)}^2} (0,5 \cdot U_C - U_{GS(off)})}{R_1} \quad (36)$$

Je vidět, že zesílení struktury závisí pouze na řídicím napětí U_C (vše ostatní jsou konstanty) a tato závislost je lineární, což je velmi příznivé z hlediska řízení.

Vztah (36) sám o sobě nestačí, je potřeba si uvědomit, že napětí U_{DS} musí být kvůli linearitě menší, než 0,2 V. Pak musí platit vztah (37).

$$u_{JFET} = \left| -\frac{u_{in}}{R_1} \cdot R_2 \right| \leq 0,2 \quad (37)$$

Získané vztahy v reálném obvodu nebudou zcela přesné, jelikož nemáme k dispozici ideální operační zesilovač, zato však jsou podstatně jednodušší a chyba, které jsme se dopustili je díky moderním operačním zesilovačům zanedbatelná.

Návrh hodnot součástek

Jako unipolární tranzistor jsem volil tranzistor J112 respektive jeho ekvivalent SST112 jehož vybrané parametry jsou následující:

Parametry J112/SST112:

| | |
|---|-------------|
| Maximální proud drainem I_{DSS} | 5 mA |
| Proud drainem při zavřeném tranzistoru $I_{D(off)}$ | 1 nA |
| Maximální hodnota $r_{DS(on)_MAX}$ | 50 Ω |
| Napětí pinch-off $U_{GS(off)}$ | -1 až -5 V |
| Maximální napětí U_{GS} | -35 V |

Pokud budeme chtít vypočítat hodnoty rezistorů R_1 , R_2 , R_3 lze postupovat následujícím postupem. Ze vztahu (35) si vyjádříme vztah pro maximální (39) a minimální (38) zesílení.

$$A_{MIN} = \lim_{r_{DS} \rightarrow \infty} \left(-\frac{R_2 + R_3 + \frac{R_2 R_3}{r_{DS}}}{R_1} \right) = -\frac{R_2 + R_3}{R_1} \quad (38)$$

$$A_{MAX} = \lim_{r_{DS} \rightarrow r_{DS(on)_MAX}} \left(-\frac{R_2 + R_3 + \frac{R_2 R_3}{r_{DS}}}{R_1} \right) = -\frac{R_2 + R_3 + \frac{R_2 R_3}{r_{DS(on)_MAX}}}{R_1} = -\frac{R_2 + R_3 + \frac{R_2 R_3}{50}}{R_1} \quad (39)$$

Nyní budeme vyžadovat, aby $A_{MIN} = -1$ a $A_{MAX} = -20$, po úpravách rovnic dostaneme řešení s parametrem R_3 , vztahy (40), (41).

$$R_1 = \frac{R_3^2}{-950 + R_3} \quad (40)$$

$$R_2 = \frac{950 \cdot R_3}{-950 + R_3} \quad (41)$$

Hodnota R_3 je zvolena 3,9 k Ω , pak $R_1 = 5155,93 \Omega$ a $R_2 = 1255,93 \Omega$. Jelikož jsme, mimo řadu vyráběných hodnot rezistorů je velikost R_1 volena 4700 Ω a aby platilo $A_{MIN} = -1$ ($R_2 + R_3 = R_1$), tak je zvolen $R_2 = 1000 \Omega$. Nyní se zkontrolují hodnoty zesílení pro vybrané hodnoty rezistorů.

$$A_{MIN} = -\frac{R_2 + R_3}{R_1} = -\frac{1000 + 3900}{4700} = -1,043 \quad (42)$$

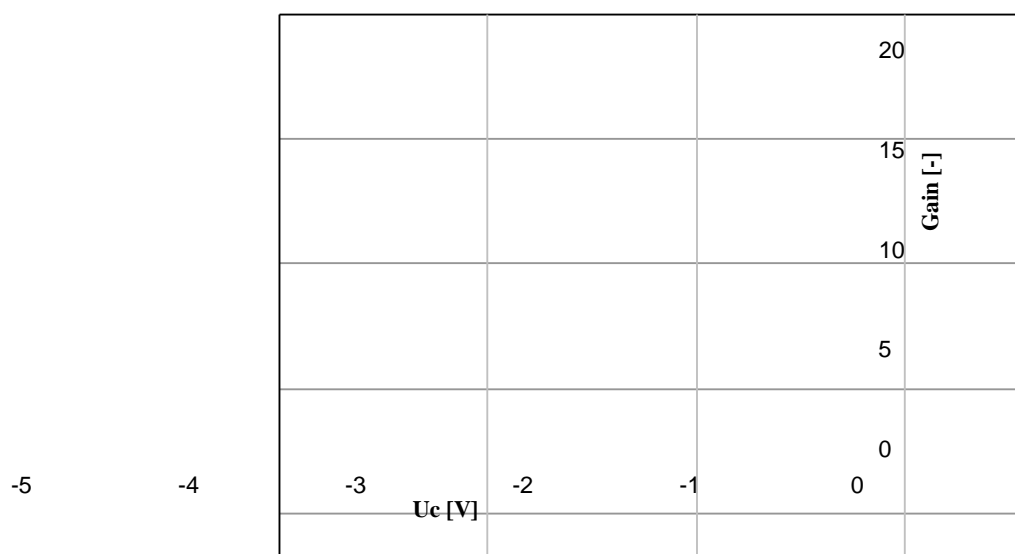
$$A_{MAX} = \frac{R_2 + R_3 + \frac{R_2 R_3}{50}}{R_1} = \frac{1000 + 3900 + \frac{1000 \cdot 3900}{50}}{4700} = 17,628 \quad (43)$$

Vyšlo sice maximální zesílení poněkud odlišné od žádané hodnoty, to je ovšem nejhorší možný případ, protože $r_{DS(on)}$ má typickou hodnotu okolo 40 Ω čemuž odpovídá zesílení 21,79. Jelikož je před VCA další zesilovací stupeň odstraňující ss složku z výstupu DDS je možné si signál předzesílit tak, abychom dostali požadovaný rozkmit na výstupu generátoru. Nyní musíme ověřit, zda na tranzistoru nebude napětí větší, než 0,2 V. Požadujeme-li maximální amplitudu signálu generátoru 8 V a máme nejmenší maximální zesílení 17,628, budeme potřebovat mít vstupní signál o amplitudě $u_{in} = 8/17,628 = 0,454$ V. Pro výpočet předpokládáme vstupní signál 0,5 V a použijme vztah (37).

$$u_{FET} = \left| -\frac{u_{in}}{R_1} \cdot R_2 \right| = \frac{0,5}{4700} \cdot 1000 = 0,106V \quad (44)$$

Podmínka je při daných hodnotách splněna.

Simulace VCA pro vypočtené hodnoty byla provedena v Electronic Workbench MultiSIN 9 a výsledná závislost řídicího napětí na zesílení zesilovače je zobrazena na Obr. 27.



Obr. 27. Simulace VCA

$R_1 = 4k7$, $R_2 = 1k$, $R_3 = 3k9$, Tranzistor J112, $u_{in} = 0,5V$

Graf je lineární až na oblast $U_C < -4,6 V$, kde je již tranzistor zcela uzavřen a další snižování napětí nevede ke snížení zesílení. Maximální dosažené zesílení je přibližně 21,5 čemuž přibližně odpovídá hodnota $r_{DS(on)} = 40 \Omega$.

4.2.4 Výběr vhodného operačního zesilovače

Operační zesilovač musí být schopen zesilovat sinusový, trojúhelníkový a obdélníkový signál o frekvenci 1 MHz. Potřebný maximální výstupní rozkmit signálu je $16 V_{p-p}$, proto je vyžadován operační zesilovač se symetrickým napájením alespoň $\pm 10 V$.

Pokud bychom potřebovali zesilovat pouze harmonický signál, mohli bychom postupovat následujícím postupem. Nejdříve musíme zajistit potřebnou šířku pásma invertujícího zapojení podle vztahu (45).

$$f_{BW} = \frac{f_T}{1 + |A_{MAX}|} \quad (45)$$

kde

| | |
|-----------|--|
| A_{MAX} | Maximální zesílení invertujícího zesílení |
| f_{BW} | Frekvence na níž je pokles o 3dB |
| f_T | Extrapolovaný tranzitní kmitočet operačního zesilovače |

Musíme si uvědomit, že na frekvenci f_{BW} je pokles o 3 dB, což představuje chybu téměř 30 %, což je v našem případě netolerovatelné. Proto musíme volit takový operační zesilovač,

kterým dosáhneme frekvence f_{BW} větší než je maximální přenášený kmitočet, čímž zároveň bude mít operační zesilovač pro naši maximální frekvenci 1 MHz dostatečnou zásobu zesílení a výše odvozené vztahy pro ideální zesilovač budou s dostatečnou přesností platit v celém frekvenčním rozsahu.

My však generujeme i trojúhelníkový a obdélníkový signál. Uvědomíme-li si, že trojúhelníkový signál obsahuje pouze omezené množství vyšších harmonických a to maximálně do hodnoty $f_{CLK}/2$, což pro náš případ představuje necelých 8,4 MHz. Musí se f_{BW} rovnat 8,4 MHz a maximální f_T se vypočte podle vztahu (45)

$$f_T = f_{BW} \cdot (1 + |A_{MAX}|) = 8,4 \cdot (1 + 21,5) = 189 \text{ MHz} \quad (46)$$

Hodnotu f_T musíme z výše popsaných důvodů patřičně zvětšit a to na hodnotu alespoň 1 GHz.

Dále rychlost náběhu výstupního signálu nesmí překročit rychlost náběhu operačního zesilovače SR. Musí platit vztah (47).

$$SR > \frac{d(u_{OUT})}{dt} \quad (47)$$

kde

| | |
|----------------|---|
| SR | Rychlost náběhu operačního zesilovače (V/s) |
| V_{MAX} | Amplituda výstupního signálu (V) |
| ω_{MAX} | Úhlová frekvence výstupního signálu (rad/s) |

Tedy pro sinusový signál o amplitudě 8 V a frekvenci 1 MHz musí platit vztah (48)

$$SR > \frac{d(u_{OUT})}{dt} = \frac{d(V_{MAX} \cdot \sin(\omega_{MAX} t))}{dt} = V \omega \cdot \cos(\omega t) \rightarrow$$

$$\rightarrow SR > V_{MAX} \cdot \omega_{MAX} = 8 \cdot 2\pi \cdot 1000000 = 50,27 \text{ V} / \mu\text{s} \quad (48)$$

Pro trojúhelníkový signál o amplitudě 8 V a frekvenci 1 MHz musí platit vztah (49).

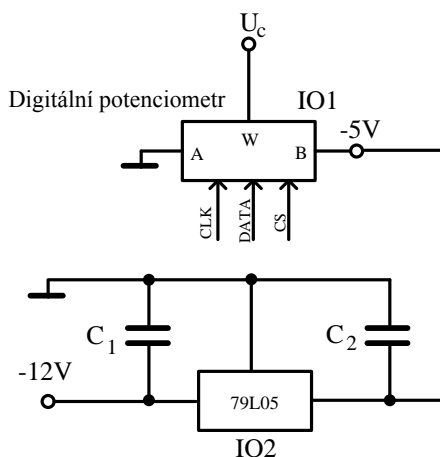
$$SR > \frac{d(u_{OUT})}{dt} = \frac{\Delta u_{OUT}}{\Delta t} = \frac{u_{OUT_MAX}}{T/4} = \frac{8}{\frac{1}{1000000 \cdot 4}} = 32 \text{ V} / \mu\text{s} \quad (49)$$

Co se týče obdélníkového signálu, jeho harmonické složky nejsou frekvenčně omezené jako u sinusového a trojúhelníkového signálu a pro práci sním, je nutné mít f_T a SR co největší.

Výše uvedená kritéria splňuje operační zesilovač AD8021, který má maximální rychlost náběhu $SR = 400 \text{ V}/\mu\text{s}$ a extrapolovaný tranzitní kmitočet $f_T = 2 \text{ GHz}$.

4.2.5 Řízení zesílení VCA

Řídicí napětí pro napětím řízený zesilovač je vytvářeno odvodem zobrazeným na Obr. 28. Zdroj pěti voltů je realizován pomocí obvodu 79L05 v SMD verzi, který je zapojen podle doporučení výrobce.



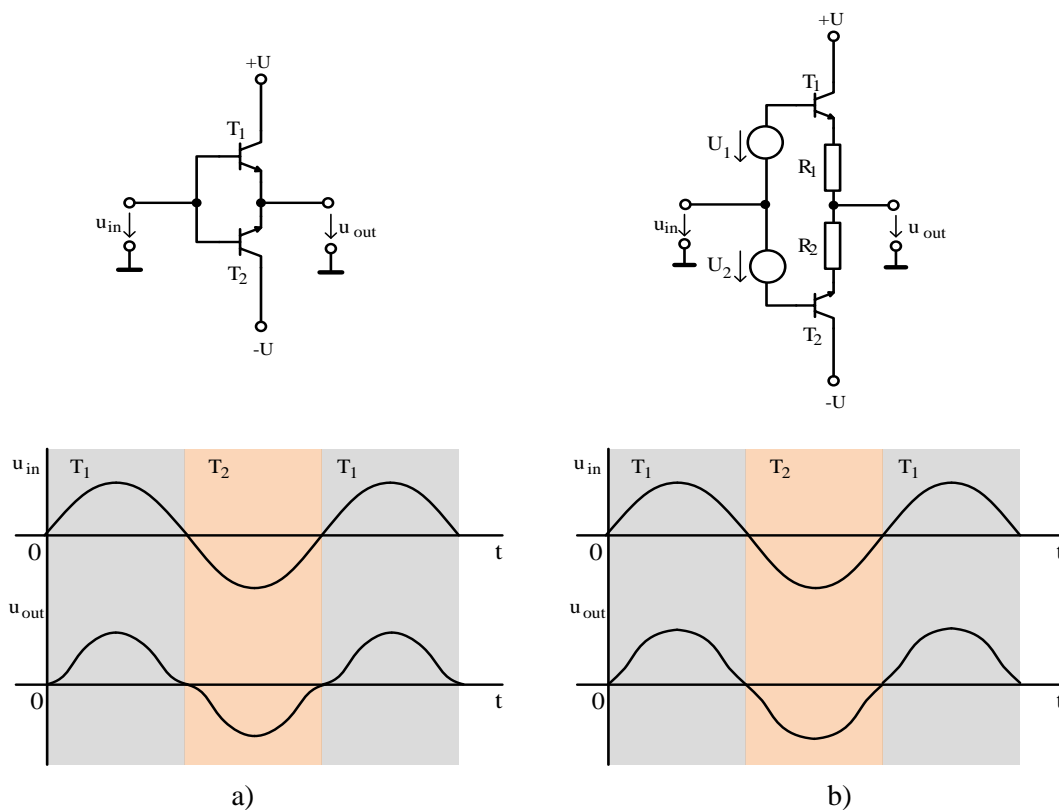
Obr. 28. Obvod vytvářející řídicí napětí

Jako digitální potenciometr je použit AD5290YRMZ10. Tento digitální potenciometr má 256 poloh a komunikuje pomocí sériového rozhraní SPI. Vybraný typ má celkový odpor 10 k Ω .

Díky digitálnímu potenciometru je možné pomocí μ -procesoru řídit velikost řídicího napětí a tedy i zesílení zesilovače. Rozsah řídicího napětí je přibližně od 0 V do -5 V.

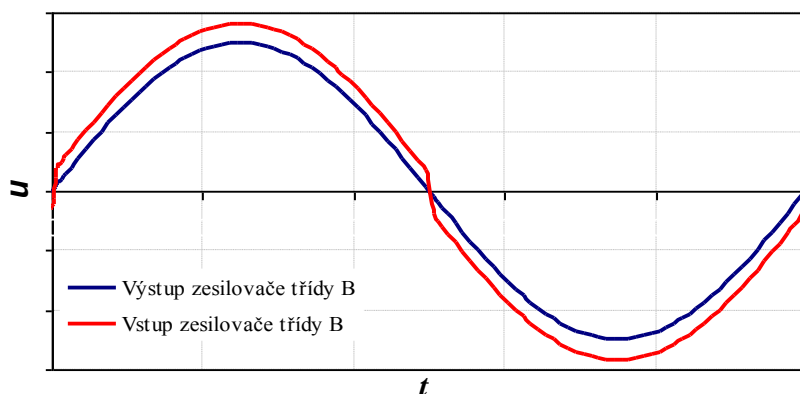
4.3 Třetí zesilovací stupeň

Tento stupeň má za úkol dodat do zátěže potřebný výkon a umožňuje říditelné přidání stejnosměrné složky k signálu. Výstupní odpor generátoru je zvolen standardní tedy 50 Ω . Je-li maximální hodnota výstupního signálu 8 V, pak maximální proud bude mít hodnotu 160 mA. Tento proud samotný operační zesilovač nemůže dodat, neuvažujeme-li speciální výkonové operační zesilovače. Proto je nutné použít na výstupu nějaký zesilovací stupeň. Nejideálnější by byl výkonový stupeň třídy AB, který má malé zkreslení signálu. Kritickou částí takového zesilovače je nastavení klidového pracovního proudu a jeho teplotní nezávislost, tedy nutnost kompenzace. Proto jsem se rozhodl použít na výstupu operačního zesilovače zesilovací stupeň ve třídě B. Ten má samozřejmě větší zkreslení, ale díky operačnímu zesilovači s velkou rychlostí přeběhu lze toto zkreslení minimalizovat. Rozdíl mezi zesilovačem třídy AB a třídy B je zobrazen na Obr. 29.



Obr. 29. Třídy zesilovačů a) třída B, b) třída AB

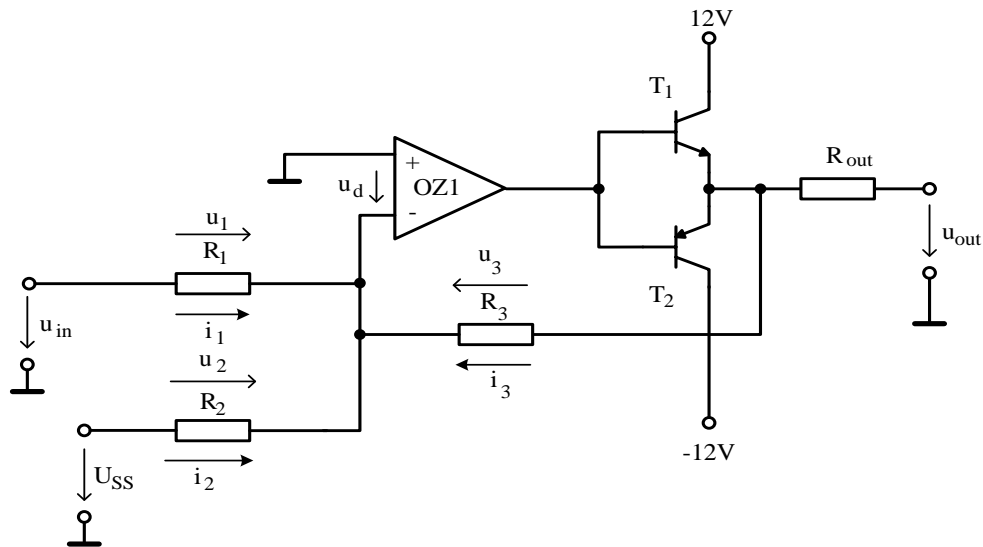
Díky operačnímu zesilovači se zkreslení zesilovače třídy B dá eliminovat, jak je ukázáno na Obr. 30. Červený průběh představuje vstup operačního zesilovače (vstup zesilovače třídy B), díky velké rychlosti přeběhu se velmi rychle nastaví požadované napětí na výstupu OZ, tak aby se na výstupu zesilovače třídy B získal požadovaný průběh. Je vidět, že průchod nulou je velmi strmý a to proto, že právě v této oblasti se signál zkresluje a je nutné zkreslení kompenzovat. Čím větší rychlost přeběhu má OZ tím má výstupní signál menší zkreslení.



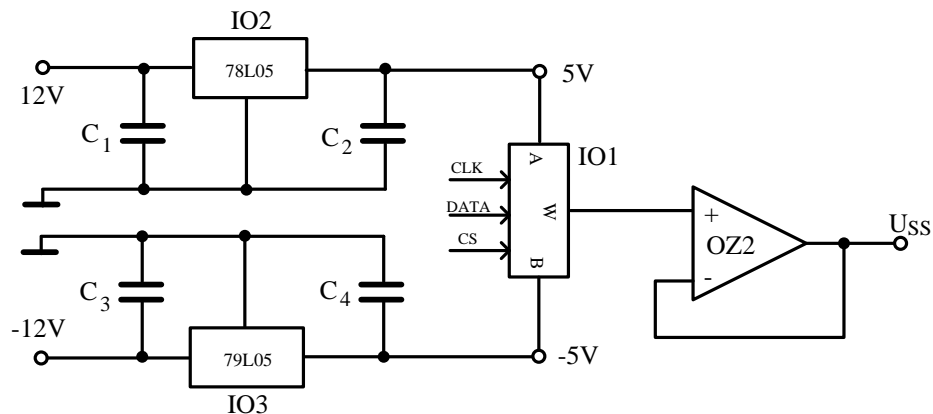
Obr. 30. Vstupní a výstupní napěťový průběh zesilovače třídy B

Z Obr. 30 je také vidět, že vstupní signál má větší amplitudu než výstupní, což je způsobeno úbytkem mezi bází a emitorem výstupních tranzistorů.

Možnost přidání stejnosměrné složky se uskutečňuje prostřednictvím invertujícího zapojení operačního zesilovače zobrazeného na Obr. 31. Tranzistory T_1 a T_2 tvoří zesilovač ve třídě B. Za předpokladu že $R_1 = R_2 = R_3$ bude platit že $u_{OUT} = -(u_{IN} + U_{SS})$. Z toho vyplývá, že krom invertovaného vstupního signálu se na výstupu objeví i stejnosměrné napětí U_{SS} s opačnou polaritou.



Obr. 31. Schéma třetího zesilovacího stupně



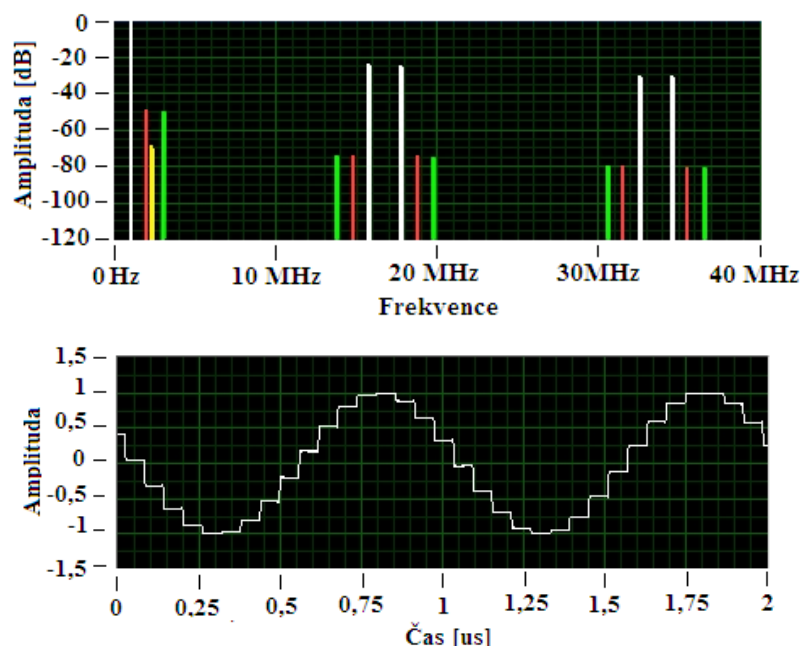
Obr. 32. Obvod vytvářející stejnosměrnou složku

Na Obr. 32 je ukázán zdroj napětí U_{SS} . Tvoří jej dva stabilizátory napětí 78L05 a 79L05 zapojené podle doporučení výrobce. Digitální potenciometr IO1 tvoří říditelný napěťový dělič, kterým řídíme velikost stejnosměrného napětí. Operační zesilovač OZ2 pracuje v zapojení napěťového sledovače. Díky OZ2 je možné digitální potenciometr považovat za nezátížený a výstupní napětí bude mít lineární závislost na digitálním slově.

4.4 Filtř

Jak bylo popsáno výše v kapitole 2.2, výstupní spektrum obsahuje obrazy základního spektra generovaného signálu, které je nutné z důvodu zvýšení čistoty signálu odstranit. K odstranění se používají obvody s vhodnou frekvenční a fázovou charakteristikou, kterým se říká filtry. Veškeré frekvence větší než polovina referenčního kmitočtu DDS obvodu jsou u generovaného sinusového a trojúhelníkového signálu rušivé. Výjimku tvoří obdélíkový signál, který je odvozen z digitálního slova a jeho spektrum je velmi široké (nemá obrazy).

Krom rušivých harmonických složek obsahuje výstupní spektrum i jiné rušivé elementy a to i v základním pásmu, které vznikají namapováním rušivých složek o frekvenci větší než polovina referenčního kmitočtu (viz kapitola 2.2) nebo chybu zaokrouhlení fáze, která vzniká kvůli technologickému zjednodušení integrovaného DDS obvodu. Ke zkoumání výstupního spektra DDS obvodů nabízí firma Analog Devices nástroj ADIsimDDS. Výstupní signál a jeho spektrum získané pomocí tohoto nástroje jsou zobrazeny na Obr. 33.



Obr. 33. Výstupní spektru a signál obvodu DDS vytvořený pomocí ADIsimDDS

Při simulaci v nástroji ADIsimDDS byl referenční kmitočet zvolen 16777216 Hz a výstupní kmitočet 1 MHz. Ve výstupním spektru jsou vidět čtyři druhy složek, bílé spektrální čáry představují první harmonickou výstupního signálu a její obrazové složky (f_{out} ; $f_{REF} - f_{out}$; $f_{REF} + f_{out}$; $2 \cdot f_{REF} - f_{out}$; $2 \cdot f_{REF} + f_{out}$; ...), červené spektrální čáry představují druhou harmonickou výstupního signálu a její obrazové složky ($2 \cdot f_{out}$; $f_{REF} - 2 \cdot f_{out}$; $f_{REF} + 2 \cdot f_{out}$; $2 \cdot f_{REF} - 2 \cdot f_{out}$; $2 \cdot f_{REF} + 2 \cdot f_{out}$; ...), a zelené spektrální čáry představují třetí harmonickou výstupního signálu a její obrazové složky ($3 \cdot f_{out}$; $f_{REF} - 3 \cdot f_{out}$; $f_{REF} + 3 \cdot f_{out}$; $2 \cdot f_{REF} - 3 \cdot f_{out}$; $2 \cdot f_{REF} + 3 \cdot f_{out}$; ...). Poslední složka,

kteřá je ve spektru na Obr. 33 zobrazena žlutou barvou na frekvenci 2,36 MHz je chyba způsobená zaokrouhlením fáze.

4.4.1 Návrh Butterworthova filtru

Nejprve musíme určit potřebný řád filtru. Frekvenční přenos Butterworthova filtru je definován vztahem (50).

$$|G(\varpi)| = \frac{1}{\sqrt{1 + \left(\frac{\varpi}{\varpi_0}\right)^{2n}}} \quad (50)$$

Provedeme-li následující úpravy, získáme potřebný řád filtru n pro určitý útlum α_1 na dané frekvenci ω_1 .

$$\alpha_1 = -20 \log \left(\frac{1}{\sqrt{1 + \left(\frac{\varpi_1}{\varpi_0}\right)^{2n}}} \right) = 20 \log \left(\sqrt{1 + \left(\frac{\varpi_1}{\varpi_0}\right)^{2n}} \right) = 10 \log \left(1 + \left(\frac{\varpi_1}{\varpi_0}\right)^{2n} \right) \quad (51)$$

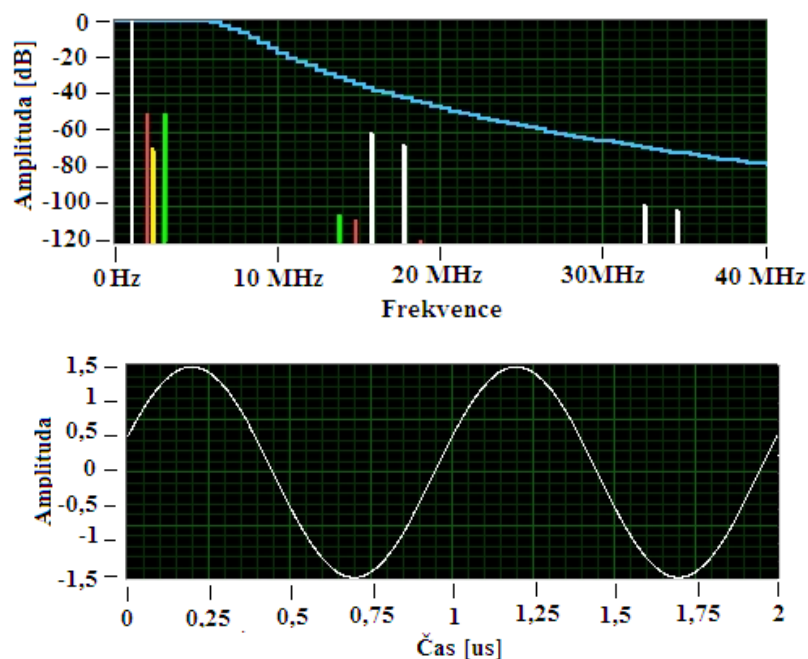
$$10^{\frac{\alpha_1}{10}} = 1 + \left(\frac{\varpi_1}{\varpi_0}\right)^{2n} \rightarrow 10^{\frac{\alpha_1}{10}} - 1 = \left(\frac{\varpi_1}{\varpi_0}\right)^{2n} \rightarrow \log \left(10^{\frac{\alpha_1}{10}} - 1 \right) = 2n \log \left(\frac{\varpi_1}{\varpi_0} \right) \quad (52)$$

$$n = \frac{\log \left(10^{\frac{\alpha_1}{10}} - 1 \right)}{2 \cdot \log \left(\frac{\varpi_1}{\varpi_0} \right)} \quad (53)$$

Jako kritickou frekvenci volíme $0,4 \cdot f_{\text{REF}}$, což se v našem případě rovná $\omega_0 = 6,7$ MHz. Budeme požadovat útlum 30 dB na frekvenci 13,777 MHz, která představuje třetí harmonickou obrazovou složku výstupního signálu, viz Obr. 33.

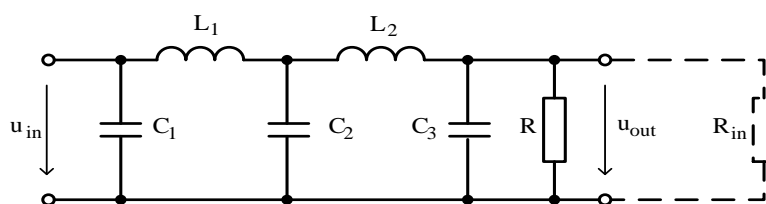
$$n = \frac{\log \left(10^{\frac{30}{10}} - 1 \right)}{2 \cdot \log \left(\frac{13,777}{6,7} \right)} = 4,8 \quad \text{Potřebný řád filtru je tedy 5.} \quad (54)$$

Na Obr. 34 je ukázán vliv použitého filtru na výstupní signál DDS obvodu simulován v ADIsimDDS. Frekvenční charakteristika použitého filtru je na obrázku zakreslena modrou čarou. Porovnáním Obr. 34 a Obr. 33 je zřejmý vliv filtru. Význam jednotlivých spektrálních čar byl vysvětlen u Obr. 33.



Obr. 34. Výstupní spektru a signál obvodu DDS za filtrem vytvořený pomocí ADIsimDDS

Dolnofrekvenční filtr budeme realizovat pomocí prvků RLC podle schématu na Obr. 35. Filtr se skládá ze dvou cívek a tří kondenzátorů. K návrhu je využit interaktivní nástroj pro návrh analogových filtrů LC Filter Design dostupný z webu [11].



Obr. 35. Schéma Butterworthova filtru 5. řádu

Rezistor R definuje výstupní impedanci. Velikost $R||R_{in}$ ovlivňuje výpočet, a proto se musí vhodně zvolit. V našem případě je za filtrem umístěn druhý zesilovací stupeň, který má vstupní odpor $4700\ \Omega$. Pro tento rezistor ($R \rightarrow \infty$) vychází poměrně velké hodnoty indukčnosti cívek (přibližně $180\ \mu\text{H}$), takové cívky lze koupit, ale mají nízký vlastní rezonanční kmitočet SFR okolo 7 MHz (cívky se používají vždy do frekvencí menších než je SFR). Proto je vhodné snížit hodnotu zatěžovacího odporu pomocí rezistoru R .

Jako vhodná hodnota zatěžovacího odporu se jeví hodnota $R||R_{in} = 550 \Omega$, což je splněno pro $R_{in} = 4700 \Omega$ a $R = 620 \Omega$.

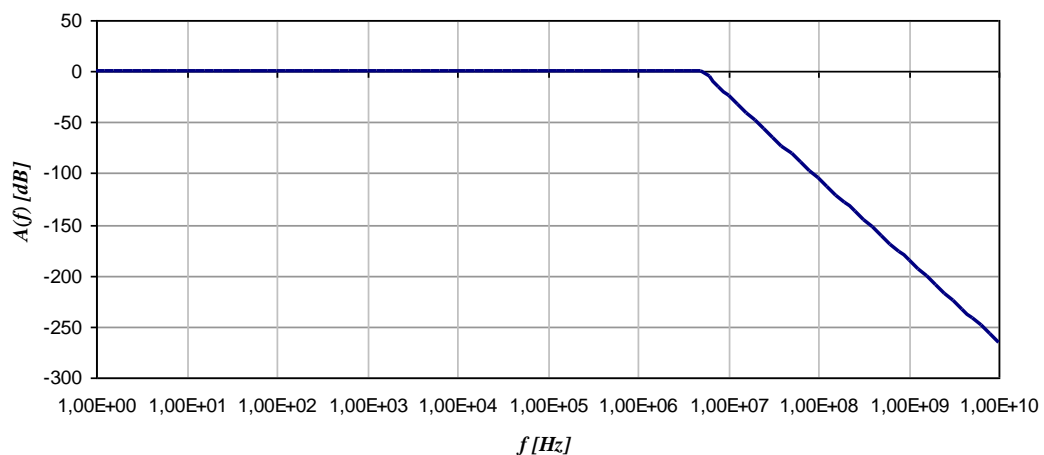
Pro zadané hodnoty $n = 5$, $f_0 = 6,7 \text{ MHz}$ a $R||R_{in} = 550 \Omega$ LC Filter Design vypočítal následující hodnoty:

| | |
|----|--------------|
| C1 | 2.55475e-11 |
| L1 | 2.02331e-05 |
| C2 | 8.26779e-11 |
| L2 | 2.02331e-05 |
| C3 | 2.55475e-11 |
| R | 620 Ω |

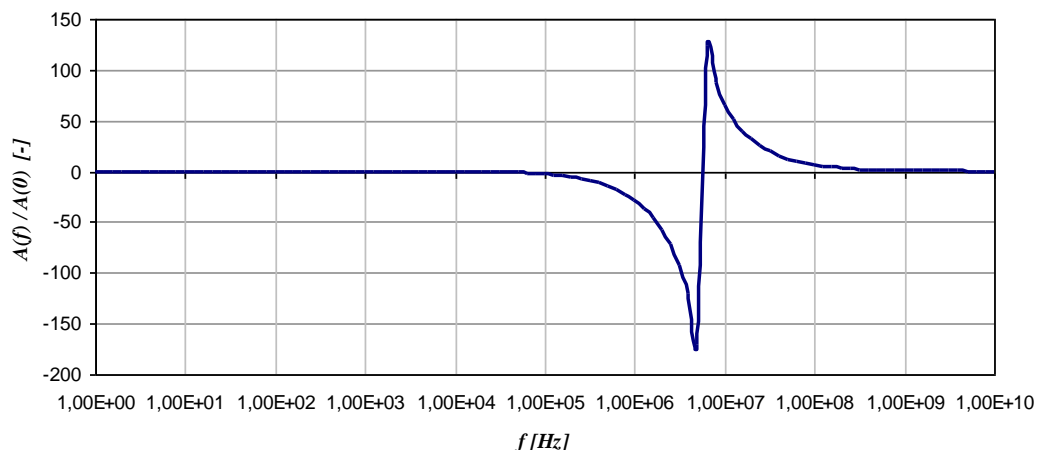
Kvůli snadné realizaci jsou vybrány hodnoty prvků z vyráběných řad. Vybrané prvky jsou:

| | | |
|----|------------------|----------------------------------|
| C1 | 27 pF | NPO(GOC) |
| L1 | 22 μH | EPCOS B82111EC22 (SFR = 110 MHz) |
| C2 | 86 pF | NPO(GOC) |
| L2 | 22 μH | EPCOS B82111EC22 (SFR = 110 MHz) |
| C3 | 27 pF | NPO(GOC) |
| R | 620 Ω | |

Na závěr jsem provedl simulaci navrhnutého filtru v nástroji Electronic Workbench MultiSIN Analog Devices Edition 10.0. Amplitudová frekvenční charakteristika je zobrazena na Obr. 36 a fázová frekvenční charakteristika na Obr. 37. Podle provedené simulace se návrh filtru zdařil a filtr se chová dle teoretických předpokladů.



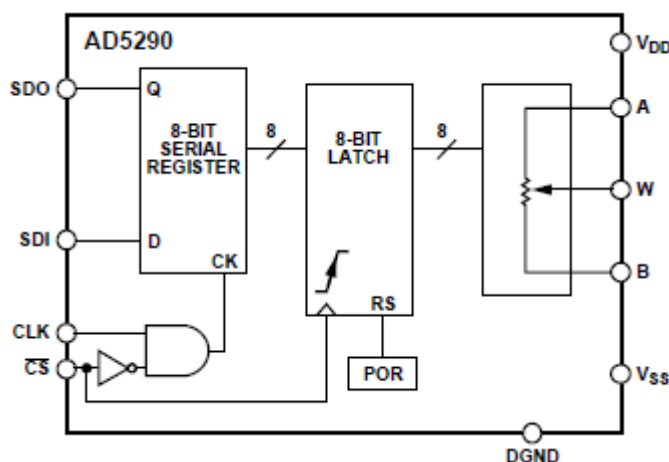
Obr. 36. Amplitudová frekvenční charakteristika filtru



Obr. 37. Fázová frekvenční charakteristika filtru

4.5 Digitální potenciometr AD5290

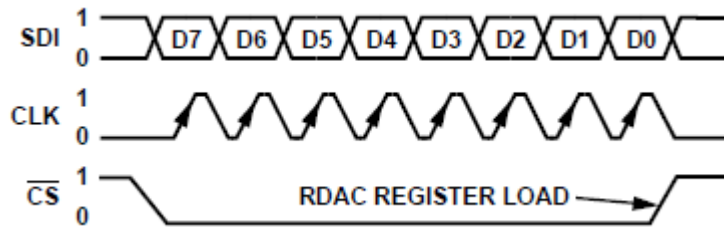
Jedná se 256 polohový digitální potenciometr, který se vyrábí v hodnotách 10 k Ω , 50 k Ω a 100 k Ω . V našem případě potřebujeme, aby napětí na vstupech potenciometru mohlo být i záporné. Toto napětí je omezeno a nemůže být kladnější ani zápornější než je napájecí napětí. Proto byl zvolen potenciometr typu AD5290, který je možné napájet symetrickým napětím $\pm 4,5$ V až ± 15 V. V našem případě budeme obvod napájet symetrickým napájením ± 12 V, a tedy na vstupech potenciometru je možné mít jak kladné tak záporné napětí do velikosti 12 V. Blokové schéma digitálního potenciometru AD5290 je na Obr. 38.



Obr. 38. Blokové schéma obvodu AD5290, [13]

Obvod se skládá ze tří základních bloků první z nich (vlevo na Obr. 38) má za úkol řešit komunikaci. Jedná se o klasickou 3vodičovou komunikaci (SDI, CLK, CS), obvod dále obsahuje i výstup sériových dat (SDO), který se používá ke spárování dvou a více obvodů. V realizované aplikaci však není tato možnost využita. Časový diagram komunikace je zobrazen na Obr. 39.

Druhý blok (uprostřed na Obr. 38) se stará o to, aby se nová hodnota projevila na výstupu až tehdy, kdy je kompletně načtená (CS = 1). Třetí blok (vpravo na Obr. 38) obsahuje odporovou síť a spínače, vhodným sepnutím spínačů se mění hodnota odporu mezi piny A-W a B-W.



Obr. 39. Časový diagram komunikace obvodu AD5290, [13]

Výstupní odpory jsou dány vztahy (55) a (56).

$$R_{WA}(D) = \frac{256 - D}{256} \cdot R_{AB} + 3 \cdot R_W \quad (55)$$

$$R_{WB}(D) = \frac{D}{256} \cdot R_{AB} + 3 \cdot R_W \quad (56)$$

kde

| | |
|----------|--|
| R_{WA} | Výstupní odpor mezi piny A a W |
| R_{WB} | Výstupní odpor mezi piny B a W |
| D | Načtené číslo v decimální číselné soustavě |
| R_{AB} | Odpor mezi piny A a B (10 kΩ, 50 kΩ, 100 kΩ) |
| R_W | Odpor interního spínače typicky 50 Ω |

Napětí mezi pinem W a zemí je při zanedbání odporů interních spínačů R_W dáno vztahem (57).

$$U_W = U_A \cdot \frac{D}{256} + U_B \cdot \frac{(256 - D)}{256} \quad (57)$$

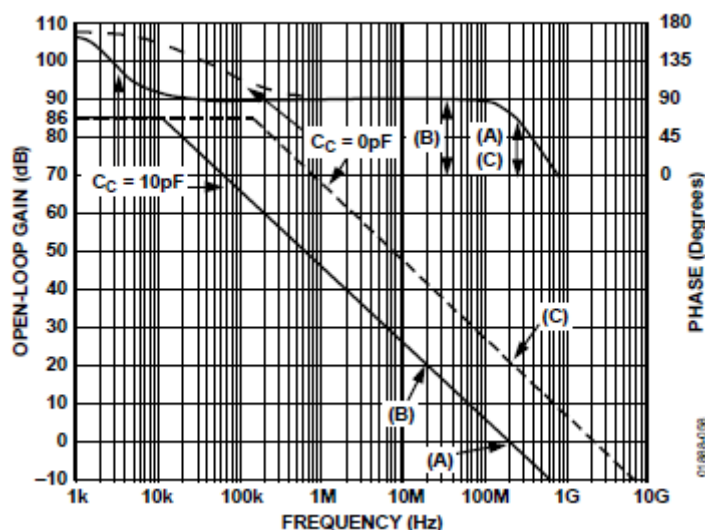
kde

| | |
|----------|--|
| U_W | Napětí na pinu W proti zemi |
| U_A | Napětí na pinu A proti zemi |
| U_B | Napětí na pinu B proti zemi |
| D | Načtené číslo v decimálním tvaru |
| R_{AB} | Odpor mezi piny A a B (10 kΩ, 50 kΩ, 100 kΩ) |
| R_W | Odpor interního spínače typicky 50 Ω |

4.6 Operační zesilovač AD8021

AD8021 je velmi výkonný a rychlý operační zesilovač s napětovou zpětnou vazbou. Má velký rozsah napájecího napětí, je ho možné napájet $\pm 2,25$ V až ± 12 V. Obvod nemusí být napájen symetricky a pracuje i při nesymetrickém napětí.

Operační zesilovač je frekvenčně stabilizovaný interním kompenzačním kondenzátorem o hodnotě přibližně 1,5 pF. Operační zesilovač však umožňuje připojení externího kompenzačního kondenzátoru, čímž lze upravovat frekvenční a fázovou charakteristiku. Na Obr. 40 je zobrazen vliv externího kompenzačního kondenzátoru C_C .



Obr. 40. Ukázka vlivu kompenzačního kondenzátoru na fázovou a frekvenční charakteristiku obvodu AD8021 (otevřená smyčka), [12]

Šipka A na Obr. 40 ukazuje šířku pásma 200 MHz a fázi asi 60° pro zesílení uzavřené smyčky $G = +1$ a $C_C = 10\text{pF}$. Pokud budeme požadovat zesílení uzavřené smyčky $G = +10$ a nezměníme hodnotu kompenzačního kondenzátoru, klesne šířka pásma asi na 20 MHz a fázová bezpečnost vzroste na 90° . Pokud požadujeme mít stejnou šířku pásma (200 MHz) a fázovou bezpečnost (60°) jako v prvním případě stačí změnit hodnotu kompenzačního kondenzátoru na $C_C = 0\text{pF}$, což představuje šipka C.

Operační zesilovač rovněž umožňuje své povolení a zakázání. K tomuto účelu slouží dva piny LOGIC REFERENCE a DISABLE. Na pinu LOGIC REFERENCE se připojuje napětová úroveň, pod kterou bude obvod napětí na pinu DISABLE vyhodnocovat jako logickou nulu a napětí větší než je tato úroveň jako logickou jedničku. V realizované aplikaci jsou všechny obvody trvale povoleny. Jednotlivé hodnoty kompenzačních kondenzátorů C_C jsou uvedeny v Tab. 6.

Tab. 6. Kompenzační kondenzátory

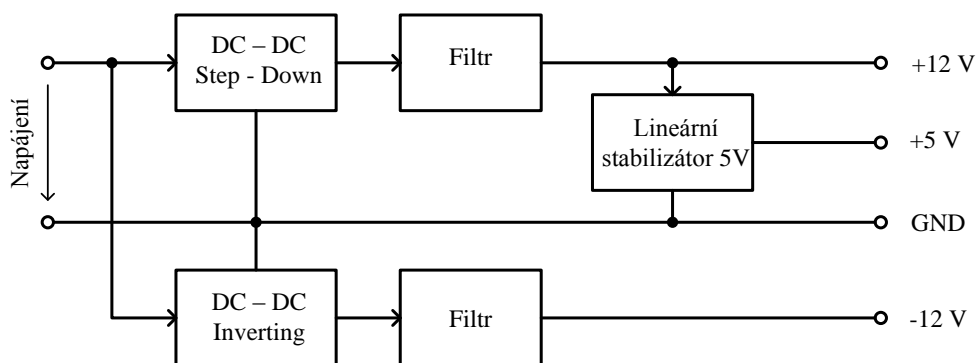
| Místo | Kompenzační kondenzátor C_c |
|----------------------|-------------------------------|
| 1. zesilovací stupeň | 120 ¹⁾ pF |
| 2. zesilovací stupeň | 2,7 pF |
| 3. zesilovací stupeň | 10 pF |

Poznámky:

1) Hodnota 120 pF je takto zvolena, protože operační zesilovač pro obdélníkový průběh zeslabuje ($G = -0,11$) a je nutné zajistit stabilitu a minimální překmit.

4.7 Napájecí obvod

Zařízení bude napájeno z laboratorního zdroje nesymetrického napětí. Pro správnou funkci zařízení je potřeba vytvořit symetrické napájení ± 12 V pro operační zesilovače a také 5 V pro digitální část obvodu. Symetrické napájení je vytvořeno pomocí dvou DC - DC měničů. Jeden je zapojen jako snižující měnič, který z napájecího napětí vytváří kladné napětí 12 V. A druhý je zapojen jako invertující měnič, který z napájecího napětí vytváří záporné napětí - 12 V. Z kladné napájecí větve je prostřednictvím lineárního stabilizátoru vytvořeno napětí pro napájení digitální části zařízení. Blokové schéma napájecího obvodu je na Obr. 41.

**Obr. 41. Blokové schéma napájecího zdroje**

Díky použití DC - DC měničů je výstupní napětí nutné filtrovat, abychom odstranili rušivé složky, které vznikají při funkci spínaných zdrojů. Filtrace je velmi důležitá, protože s kvalitou napájecího napětí úzce souvisí i kvalita generovaného signálu.

Jako DC - DC měnič jsem se rozhodl použít obvod MC33166, který je primárně určen pro snižující a invertující aplikace, lze ho však použít i jako zvyšující měnič.

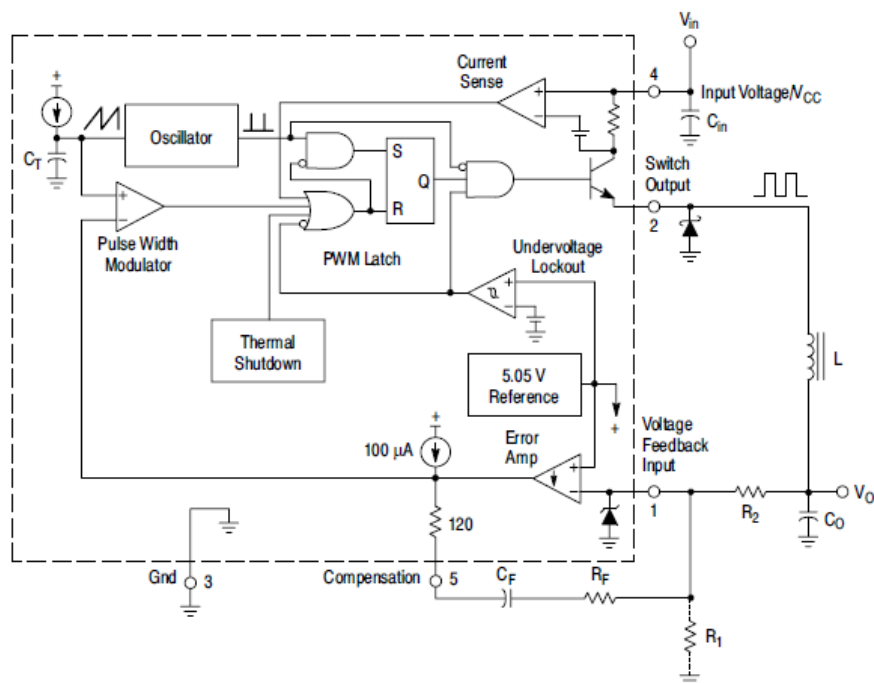
V obvodu je integrována teplotně kompenzovaná napěťová reference, oscilátor s fixní frekvencí, pulsně šířkový modulátor, výkonový spínací prvek a také ochranné obvody jako je obvod limitace výstupního proudu, tepelná ochrana a podpěťová ochrana. Obvod umožňuje režim StandBy a soft-start, který se bude využívat k minimalizaci proudové špičky při zapnutí zařízení.

Vlastnosti MC33166

Výstupní spínaný proud více jak 3 A
Duty cycle 0 % až 95 %
Tepelná ochrana
Limitace výstupního proudu
Podpěťová ochrana s hysterezí
Napájecí napětí 7 V až 40 V
StandBy mód snižující napájecí proud na 36 μ A

4.7.1 Popis obvodu MC33166

Na Obr. 42 je zobrazeno blokové schéma obvodu MC33166 v základním zapojení snižujícího měniče.



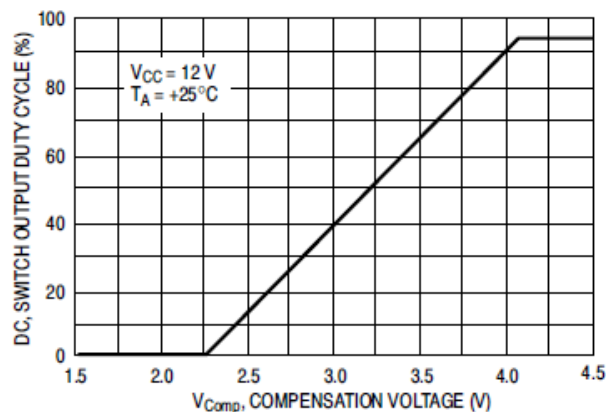
Obr. 42. Blokové schéma obvodu MC33166 zapojeného jako snižující měnič, [15]

Oscilátor

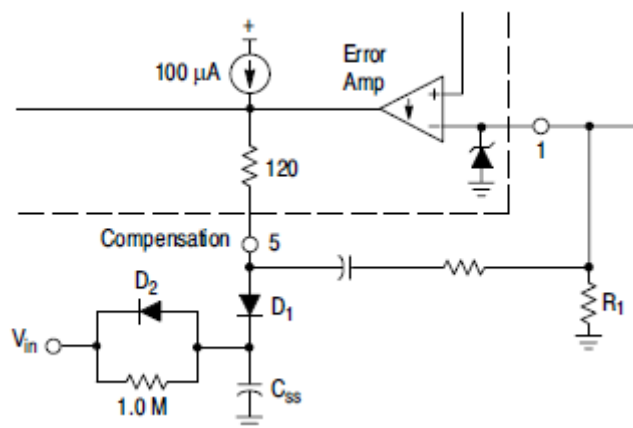
Frekvence oscilátoru je pevně nastavena na 72 kHz pomocí kondenzátoru C_T a proudového zdroje. Maximální duty cycle je 95 %, zbylých 5 % periody se kondenzátor vybíjí a oscilátor generuje vypínací impuls, při tomto impulsu se vypíná výstupní výkonový tranzistor a zároveň se nastaví výstup Q RS obvodu na hodnotu jedna. Na kondenzátoru je pilovitý průběh s maximální hodnotou cca 4,1 V a minimální cca 2,3 V.

Pulsně šířkový modulátor

Modulátor se skládá z komparátoru porovnávající pilovitý signál z oscilátoru a signál z výstupu zesilovače regulační odchylky (Error Amp). Výstupní tranzistor je vždy sepnut na začátku periody (po vypínacím impulsu) a vypíná se ve chvíli, kdy pilovitý průběh překročí úroveň výstupního napětí zesilovače regulační odchylky. Závislost spínání tranzistoru na kompenzačním napětí (napětím na pinu 5) je zobrazena na Obr. 43. Právě díky této vlastnosti obvodu se realizuje funkce soft-start. Realizace tohoto obvodu je zobrazena na Obr. 44. Při připojení napájecího napětí (V_{in}) se začne přes rezistor $1\text{ M}\Omega$ nabíjet kondenzátor C_{ss} a kompenzační napětí bude z nuly růst, čemuž odpovídá i růst výstupního napětí. Pokud výstupní napětí dosáhne požadované úrovně, pak dioda D_1 odpojí obvod soft-startu od obvodu měniče, dioda D_2 slouží k vybití kapacity při odpojení napájecího napětí.



Obr. 43. Závislost Duty Cycle na kompenzačním napětí, [15]



Obr. 44. Obvod Soft-Start, [15]

Reference a zesilovač regulační odchylky

Zesilovač regulační odchylky má z pouzdra obvodu vyveden invertující vstup na pin 1. Neinvertující vstup je přiveden na referenční napětí $5,05\text{ V}$, které má přesnost $\pm 2\%$ při

pokojové teplotě. Pokud budeme chtít získávat napětí 5,05 V, nezapojujeme rezistor R_1 do externího napěťového děliče (viz Obr. 42). Pokud vyžadujeme větší hodnotu výstupního napětí, musíme použít rezistor R_1 a výstupní napětí bude popsáno vztahem (58).

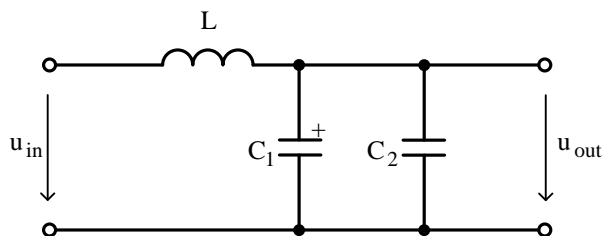
$$U_{OUT} = 5,05 \left(\frac{R_2}{R_1} + 1 \right) \quad (58)$$

Z důvodu stability je požadováno propojit pin 5 a pin 1 kompenzačním obvodem, představující jednoduchý dolnoproustný filtr (C_F , R_F). Hodnoty tohoto filtru jsou v dokumentaci uvedeny u každého typu zapojení.

V aplikaci jsou obvody MC33166 zapojeny přesně dle dokumentace výrobce s doporučenými hodnotami součástek.

4.7.2 Filtr napájecího napětí

Filtr je velmi důležitá část napájecího obvodu, která má za úkol vytvořit co nejkvalitnější napájecí napětí bez rušivých složek produkovaných spínaným zdrojem. V zařízení je použit jednoduchý dolnofrekvenční filtr druhého řádu, složeného z indukčnosti a kapacity. Zlomovou frekvenci je vhodné volit co nejnižší, protože požadujeme, aby skrze filtr prošlo nejlépe jen stejnosměrné napětí, s ohledem na velikosti součástek jsem volil zlomovou frekvenci cca 1,5 kHz. Pokud bychom realizovali filtr podle Obr. 45, vzniklo by nám rezonanční převýšení, což není vhodné.



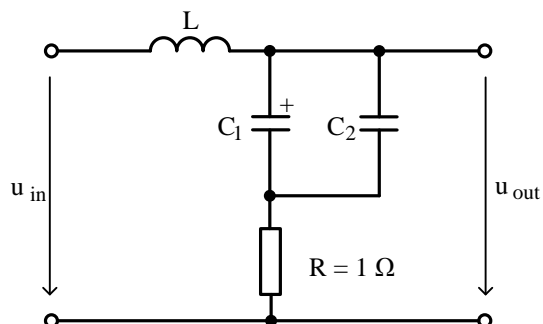
Obr. 45. Realizace filtru

Zlomovou frekvenci lze vypočítat podle vztahu (59).

$$f_0 = \frac{1}{2 \cdot \pi \sqrt{L \cdot (C_1 + C_2)}} \quad (59)$$

Pro hodnoty $C_1 = 100 \mu\text{F}$, $C_2 = 1 \mu\text{F}$ a $L = 100 \mu\text{H}$ vychází zlomová frekvence 1583 Hz.

Abychom zamezili vzniku rezonančního převýšení, stačí zapojit rezistor buďto sériově s cívkou nebo sériově s kondenzátorem. Jelikož požadujeme, aby napěťový úbytek na filtru byl minimální, první možnost nepřichází v úvahu, čímž dostáváme finální podobu filtru, která je na Obr. 46.

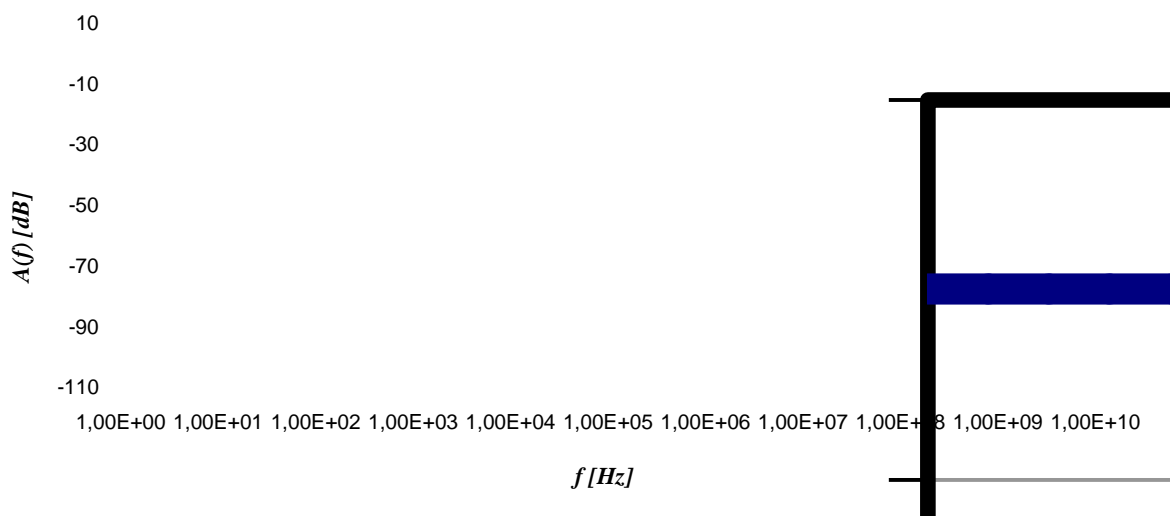


Obr. 46. Konečná podoba filtru

Cívka musí mít dostatečně vysokou hodnotu vlastního rezonančního kmitočtu a co nejmenší hodnotu odporu vinutí. Je zvolena cívka typu SDR0805-101KL, která má minimální vlastní rezonanční kmitočet 7 MHz a odpor vinutí 450 mΩ. Jako kondenzátor C_1 je nutné použít tantalový kondenzátor na napětí 16 V. Jako kondenzátor C_2 je zvolen keramický kondenzátor, který má velmi dobré frekvenční vlastnosti.

Amplitudová charakteristika filtru získána v simulačním nástroji Electronic Workbench MultiSIN Analog Devices Edition 10.0 je zobrazena na Obr. 47.

[6], [10], [11], [12], [13], [14], [15]



Obr. 47. Amplitudová charakteristika filtru

5 Sběrnice USB

USB neboli univerzální sériová sběrnice vznikla za spolupráce firem Compaq, Hewlett-Packard, Intel, Lucent, NEC, Microsoft a Philips, aby nahradila často již nedostačující způsoby přenosu dat jako například sériovou linku, paralelní port či PS/2.

Jelikož se jedná o sériovou komunikaci, data se přenášejí bit po bitu obdobně jako u RS232 s tím rozdílem, že u sběrnice USB se data přenášejí na téže lince oběma směry, kdežto pro RS232 má každý směr toku dat vlastní datovou linku. Velká výhoda USB spočívá v možnosti připojení až 127 zařízení, na které se lze cíleně obracet prostřednictvím přidělené adresy. U sériové komunikace RS232 bylo možno komunikovat pouze mezi dvěma zařízeními (PC – PC, PC – tiskárna, myš, klávesnice, ...).

Rychlost přenosu dat neboli šířka pásma sběrnice je větší, než jak tomu bylo u RS232. Existují tři základní specifikace USB 1.0, USB 2.0 a USB 3.0. Každá z nich, kromě jiného, definuje i rychlost přenosu dat, maximální rychlostí 5 Gbit/s disponuje specifikace USB 3.0. Je však důležité si uvědomit, že celkovou šířku pásma sběrnice je nutné rozdělit na jednotlivá zařízení. V dnešní době je nejběžnější specifikace USB 2.0, a proto se jí budeme dále zabývat.

Sběrnice podporuje počítačovou technologii Plug – And – Play, což umožňuje připojovat a odpojovat zařízení za provozu. Po připojení zařízení jej počítač rozpozná, na základě čehož může automaticky k tomuto hardwaru nainstalovat či spustit příslušný ovladač a provést potřebné konfigurační zásahy.

Další užitečnou vlastností této sběrnice je možnost po ní rozvádět napájecí napětí a tím minimalizovat kabeláž daného koncového zařízení.

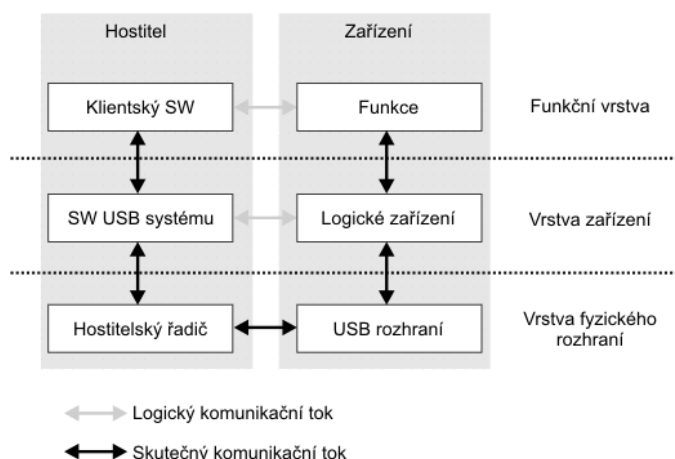
Sběrnice USB je koncipována velmi robustně, do obslužného protokolu jsou integrovány mechanismy pro detekci chyb. USB také podporuje rozličné délky balíků dat podle požadavků zařízení a různé přenosové rychlosti.

5.1 Komunikace v rámci USB sběrnice

Z hlediska uživatele se koncové USB zařízení tváří, jako by bylo přímo připojeno k hostitelskému počítači. Propojení mezi dvěma prvky sběrnice je typu point-to-point. Komunikace mezi hostitelem a koncovým zařízením probíhá skrz logické komunikační kanály (pipes). Na Obr. 48 je spojení mezi hostitelem a zařízením rozděleno do základních vrstev.

Na nejvyšší úrovni tedy na funkční vrstvě probíhá virtuální komunikace přímo mezi klientským SW a funkcí poskytovanou USB zařízením. Toto spojení je zajišťováno komunikací na druhé úrovni, na úrovni zařízení. Na této úrovni probíhá (rovněž virtuální) komunikace prostřednictvím obecných USB operací se zařízením. Reálná výměna dat ovšem probíhá až na nejnižší úrovni, ve vrstvě fyzického rozhraní. Tato vrstva zajišťuje fyzické propojení hostitele se zařízením a komunikaci pomocí paketů.

Koncový bod (endpoint) je část USB zařízení, která stojí na jednom konci komunikačního toku mezi hostitelem a zařízením. Každé logické zařízení se skládá z několika nezávislých koncových bodů (endpointů).



Obr. 48. Spojení Hostitel – Zařízení

Tomuto logickému zařízení je během připojování přiřazena jednoznačná identifikace v rámci sběrnice. Každý koncový bod v rámci zařízení má přiřazen výrobcem kód, nazývaný číslo koncového bodu (endpoint number) v rozsahu 0-15. Endpointy mají zároveň návrhem pevně daný směr komunikace (příjem/vysílání). Kombinace identifikátoru zařízení, čísla endpointu a směru komunikace dává dohromady jednoznačné určení endpointu v rámci USB sběrnice.

Jednotlivé koncové body jsou sdruženy do rozhraní (interfaces). Každé rozhraní představuje pro uživatele jednu nezávislou funkci zařízení. Například zařízení pracující jako kopírka, tiskárna a skener má tři rozhraní, viditelné pro uživatele hostitelského počítače jako tři samostatná zařízení.

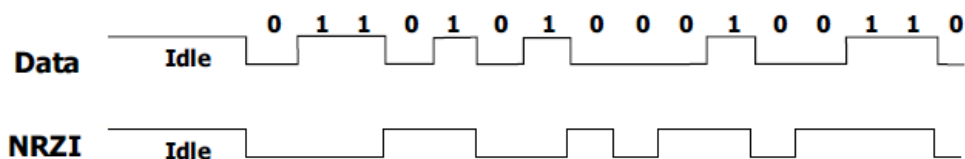
5.2 Fyzická vrstva sběrnice USB

Data se vysílají a přijímají v krátkých paketech o osmi bytech nebo delších paketech o délce až 256 bytů (velikost závisí na typu přenosu). PC může požadovat data od zařízení, ale zařízení nemůže vysílat data samo od sebe a musí čekat na vyzvání.

Data se vysílají v rámcích (frame), pro Low/Full speed přenos je délka rámce 1 ms a pro High speed přenos je rámec kratší a má délku 125 μ s. Uvnitř jednoho rámce mohou být postupně zpracovávány pakety pro několik zařízení. Přitom se mohou spolu v rámci vyskytovat jak pomalé (Low speed) tak i rychlé (Full speed) pakety. Hub se postará o to, aby signály s plnou rychlostí nebyly vedeny na pomalá zařízení.

Data se kódují pomocí metody NRZI (Non-Return-To-Zero-Invert), kterou vysvětluje Obr. 49. Logická nula v datech způsobí změnu úrovně signálu a logické jednička nechá úroveň signálu beze změny. Samotné vysílání dat je realizováno diferenčně prostřednictvím vodičů Data+ a Data-.

Protože se nepřenáší žádný oddělený hodinový signál, musí se hodiny získat z datového signálu. Aby nedocházelo ke ztrátě synchronizace při vysílání logických jedniček, používá se vsouvání bitu. Obsahuje-li původní datový tok šest po sobě jdoucích jedniček, přidá vysílač automaticky jednu nulu (vsouvání bitu – bit stuffing), aby se tím vnutila změna úrovně signálu. Příjímač tuto nulu z datového toku opět odstraní.



Obr. 49. Kódování NRZI

Přijímač a vysílač jsou realizovány vždy společně v jedné součástce SIE (Seriál Interface Engine). USB zařízení obsluhuje jednotku SIE, která přebírá vlastní komunikaci. K výměně dat mezi SIE a zbytkem zařízení slouží buffer FIFO. Zařízení tedy pouze čte a zapisuje do tohoto buffru a vše ostatní je realizováno pomocí SIE.

Tab. 7. Přehled rychlosti přenosu dat v závislosti na specifikaci

| Rychlost přenosu | USB 1.0 | USB 2.0 | USB 3.0 |
|------------------|------------|------------|------------|
| Low Speed | 1,5 Mbit/s | 1,5 Mbit/s | 1,5 Mbit/s |
| Full Speed | 12 Mbit/s | 12 Mbit/s | 12 Mbit/s |
| High Speed | - | 480 Mbit/s | 480 Mbit/s |
| Super Speed | - | - | 5 Gbit/s |

5.3 Typy přenosů na sběrnici USB

Koncová zařízení si mohou předávat data s PC čtyřmi zcela odlišnými způsoby.

Řídící přenos (Control transfer)

K řízení hardwaru se používají řídicí dotazy zvané control requests. Pracují s vysokou prioritou a s automatickým hlídáním chyb. Přenosová rychlost je vysoká, protože jedním dotazem je možno přenést až 64 byte.

Přerušovací přenosy (Interrupt transfer)

Tento přenos používají zařízení, která periodicky posílají malá množství dat, jako například myš a klávesnice. Přerušování není vyvoláno koncovým zařízením USB, což by u systému s jedním masterem nebylo možné, ale PC se periodicky, např. každých 10 ms, dotazuje na nová data. Typicky se přenáší 8 byte.

Hromadný přenos (Bulk transfer)

Tímto přenosem se přenáší velká množství dat, která vyžadují hlídání chyb, ale nejsou časově kritická. Typické příklady použití jsou tiskárna a skener. Rychlost přenosu se řídí podle vytížení sběrnice.

Izochronní přenos (Isochronous transfer)

Izochronně se přenášejí velká množství dat s definovanou přenosovou rychlostí, např. pro zvukové karty. Přitom je zaručená určitá přenosová rychlost. Korekce chyb se neprovádí, protože jednotlivé chyby v přenosu jsou méně významné než mezery v přenosu.

5.4 Rozpoznávání zařízení – enumerace

Výhodou sběrnice USB je automatické rozpoznávání nově připojených zařízení (Plug-And-Play). Operační systém musí být schopen dotazovat se na informace o zařízení, které mu umožní načíst vhodný ovladač a komunikovat se zařízením odpovídajícím způsobem.

Celý postup enumerace spočívá v tom, že se operační systém dotazuje nově připojeného zařízení na určité informace ve formě tzv. deskriptorů. Jedná se o přesně definované bloky několika bytů dat. PC požaduje tato data prostřednictvím odpovídajících řídicích dotazů přes endpoint 0.

Enumeraci provádí systém zcela samostatně. Ani uživatelský program a ani uživatel nemusí nic dělat. Jen při prvním připojení se může stát, že systém bude požadovat vhodný ovladač. Mnoho ovladačů však již je v systému k dispozici a automaticky nalezeno.

Při připojení nového zařízení nejprve hub podle zdvižené datové linky pozná, že se objevilo nové zařízení a následují tyto kroky:

1. Hub informuje hostitelský počítač o tom, že bylo připojeno nové zařízení. Zařízení je ve stavu připojeno (ATTACHED) a zatím neodebírá žádný proud.
2. Hostitelský počítač se dotáže hubu, na který port bylo zařízení připojeno. Zařízení přechází do stavu napájeno (POWERED)
3. Hostitelský počítač nyní ví, na který port bylo zařízení připojeno. Vydá příkaz tento port zapnout a provést vynulování (reset) sběrnice.
4. Hub vyrobí nulovací signál (reset) o délce 10 ms. Uvolní pro zařízení napájecí proud 100 mA. Zařízení je nyní připraveno a odpovídá na defaultní adresu 0. Zařízení se nachází v implicitním stavu (DEFAULT).
5. Než USB zařízení obdrží svou vlastní adresu, je možné se na něj obracet přes implicitní adresu 0. Hostitel si přečte první byty deskriptoru zařízení, aby stanovil, jakou délku mohou mít datové pakety.
6. Hostitel přiřadí zařízení jeho adresu na sběrnici. Zařízení přechází do stavu adresováno (ADDRESS).
7. Hostitel si ze zařízení pod novou sběrniceovou adresou načte všechny konfigurační informace.
8. Hostitel přiřadí jednu z možných konfigurací. Zařízení nyní může odebírat tolik proudu kolik je uvedeno v jeho deskriptoru. Tím je připraveno k použití a nachází se v nakonfigurovaném stavu (CONFIGURED).
9. Zařízení může být fyzicky odpojeno, čemuž odpovídá stav odpojeno (DETACHED).

V případě neaktivní sběrnice mohou USB zařízení přejít do stavu pozastaveno (SUSPEND) z kteréhokoliv stavu kromě stavu odpojeno a připojeno. Zařízení v tomto stavu je neaktivní a odebírá pouze minimální proud.

5.5 USB s mikroprocesorem PIC

Pro maximální zjednodušení práce a urychlení vývoje firmwaru konkrétních aplikací poskytuje firma Microchip USB Firmware Framework. Tento Framework je možné chápat jako soubor firmwarů pro základní třídy USB zařízení (CDC, HID, MSD).

Každý z firmwarů obsahuje nezbytný kód k obsluze USB rozhraní na straně mikroprocesoru a poskytuje prostor pro uživatelský kód.

Jednotlivé soubory jsou umístěny v jednom kořenovém adresáři s mnoha podadresáři. Takovéto řešení celý Framework zpřehledňuje. Kořenový adresář může být umístěn kdekoliv na disku, avšak vnitřní adresářová struktura by měla být vždy zachována.

Adresářová struktura USB Frameworku

Podadresář

- `_output`: místo pro zkompilované soubory
- `autofiles`: obsahuje globální konfiguraci USB a deskriptory
- `system`: obsahuje USB firmware
- `user`: místo pro uživatelský kód

Soubory

- `CleanUp.bat`: smaže zkompilované soubory ve složce `_output`
- `io_cfg.h`: konfigurace vstupů a výstupů
- `main.c`: obsahuje inicializaci a nekonečnou smyčku programu, v níž se volají uživatelské funkce a funkce obsluhy USB
- `MCHPUSB.mcp`: MPLAB IDE Project file.
- `MCHPUSB.mcw`: MPLAB IDE Workspace file.

USB Firmware má modulární strukturu, každý modul provádí specifické úkoly a jako celek pak všechny pokrývají většinu práce s USB sběrnici. Vztah mezi Microchip USB Framework soubory a třídou CDC je zobrazen na Obr. 50.

Funkce `main()` obsahuje nekonečnou smyčku s dvěma tasky - USB Task a Uživatelský Task (`ProcessIO()`). USB Task je prováděn pomocí funkce `USBDriverSrvce()`, která obsluhuje všechny hardwarové přerušení týkající se USB. Po přijetí transakce na řídicí koncový bod je zavolána funkce `USBCtrlEPService()`. Všechny transakce skrze defaultní řídicí koncový bod se musí shodovat s protokolem řídicího přenosu, který je popsán v USB specifikaci.

USB žádost může být buď standardní nebo specifické třídy (class-specific). Standardní žádosti jsou zpracovávány prostřednictvím funkce `USBCheckStdRequest()`. Tato funkce zpracovává žádosti specifikované v USB specifikaci. Žádost specifické třídy musí být zpracována kódem, který

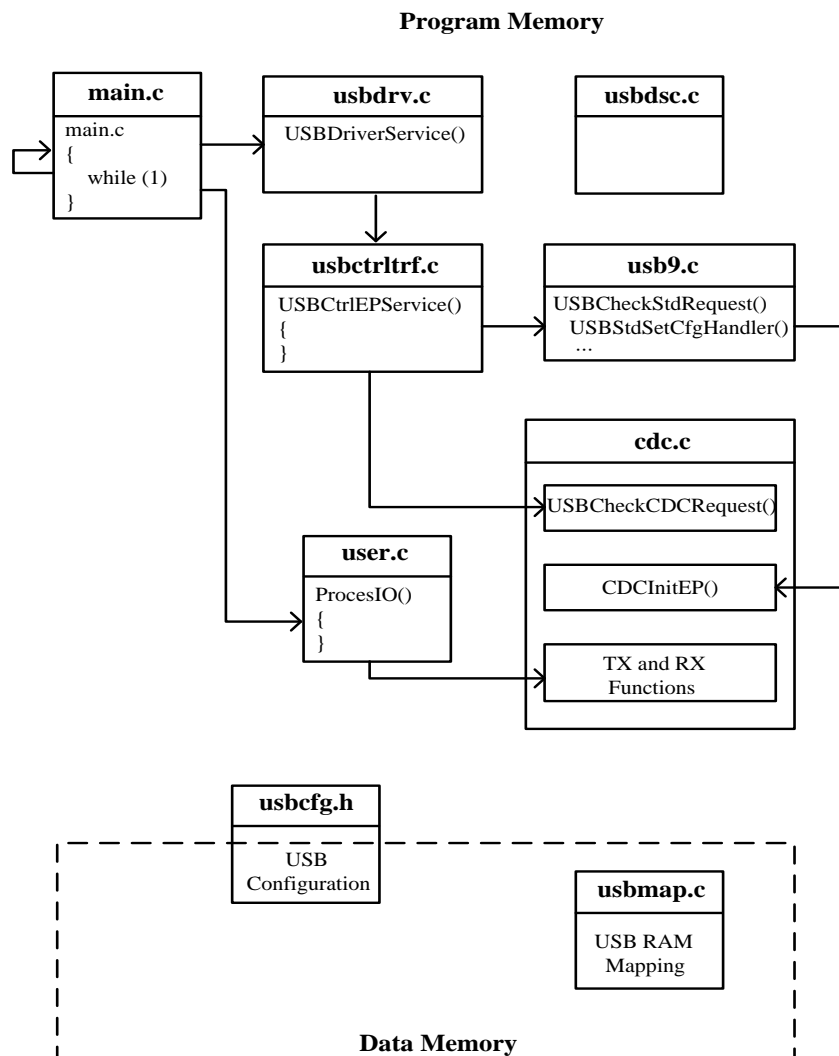
ví jak danou žádost obsloužit. Příklady specifických tříd zařízení jsou Human Integrate Device (HID) a Communication Device Class (CDC).

Obsluha žádosti od specifické třídy je obsažena ve firmware souboru určeného pro danou specifickou třídu zařízení, například `hid.c` nebo `cdc.c`. Funkce obsluhující žádosti specifické třídy se jmenují podle dané třídy např. `USBCheckCDCRequest()`.

USB enumerační proces je ovládán převážně v `usb9.c`. Jeden z důležitých kroků v enumeračním procesu je obsluha požadavku `SET_CONFIGURATION`, který je prováděn v `USBStdCfgHandler()`. Každá specifická třída zařízení ve firmwaru obsahuje inicializační rutinu koncových bodů. Pojmenování této funkce se liší podle použité třídy. Například `CDCInitEP()`, která obsahuje kód, který inicializuje skupinu endpointů, buffry deskriptorů a proměnné, které jsou použity ve třídě CDC.

Uživatelský aplikační kód (`ProcessIO()`) je periodicky volán z nekonečné smyčky v `main()`. Pokud v uživatelské aplikaci potřebujeme poslat nebo přijmout zprávu dat, využíváme předpřipravených funkcí, které uživateli dovolují dané datové transakce provést.

Mezi další důležité soubory patří `usbmap.c`, který obsahuje namapování paměti pro jednotlivé endpointy, soubor `usbdsc.c` obsahuje konfigurace k jednotlivým endpointům (deskriptory) a soubor `usbdrv.c` obsahující funkce pro povolení/zakázání USB modulu, softwarové připojení či odpojení a funkce, které vrací stav USB modulu.



Obr. 50. Vztah mezi USB Framework a CDC třídou

5.5.1 Třída CDC

Způsob komunikace pomocí CDC je asi nejjednodušší možnost výměny dat mezi PC a mikroprocesorem přes sběrnici USB využívající hromadný přenos (Bulk transfer). Tato třída je definována jako virtuální sériový port, pokud ji tedy použijeme, po připojení mikroprocesoru k PC, se objeví nový virtuální sériový port, se kterým lze zcela standardně komunikovat.

Microsoft Windows 2000, Xp a Vista má zabudovaný ovladač CDC třídy a při prvním připojení naprogramovaného mikroprocesoru stačí operačnímu systému poskytnout konfigurační soubor (*.inf), který opět poskytuje firma Microchip.

V případě, že chceme změnit text popisující naše zařízení, který se zobrazí v ovládacích panelech, je nutné tento konfigurační soubor upravit dle vlastních požadavků.

Tento firmware je založen na kooperativním multitaskingu a všechny jeho funkce jsou neblokující, toto musí být striktně dodrženo i v uživatelském kódu. Pokud bychom použili blokující

funkci, zabránili bychom procesoru pracovat na úlohách obsluhující USB periférii a komunikace by nebyla možná.

Vlastnosti CDC

- Celková velikost knihoven CDC po zkompilování je cca 3 KB
- Využití datové paměti je cca 50 bytů (vyjma datových bufferů)
- Maximální rychlost je cca 80 KB/s
- USB driver na straně PC zajišťuje tok dat (baud rate, parity bit, XON/XOFF a hardwarové řízení dat nemá vliv na komunikaci)
- Nevyžaduje žádné další drivery. Konfigurační soubor je součástí firmwaru (platí pro Win XP, Win 2000, Win Vista)
- Firmware využívá Windows ovladačů - usbser.sys a ccport.sys

Funkce, které firmware poskytuje uživateli

putsUSBUSART - pošle do PC prázdným znakem (null) zakončený řetězec z programové paměti

putsUSBUSART - pošle do PC prázdným znakem (null) zakončený řetězec z datové paměti

mUSBUSARTTxRom - pošle do PC řetězec známé velikosti z programové paměti

mUSBUSARTTxRam - pošle do PC řetězec známé velikosti z datové paměti

getsUSBUSART - převezme (přečte) řetězec z USB

mUSBUSARTIsTxTrfReady - vrací hodnotu v závislosti na připravenosti vysílací jednotky

mCDCGetRxLength - vrací hodnotu rovnou velikosti řetězce naposledy převzatého z USB

[16], [17], [18], [19], [20]

6 Modulace

Pro přenos informací se využívají přenosové cesty. Tyto přenosové cesty mají elektrické vlastnosti, které nepříznivým způsobem ovlivňují přenášený signál a neumožňují jeho přenos na delší vzdálenosti v základním pásmu. Z tohoto důvodu se využívají přenosy v přeloženém pásmu, při kterém se přenášejí takové signály, které se danou přenosovou cestou šíří nejlépe.

Modulace je tedy proces, při kterém se signál ze základního pásma převádí na signál v přeloženém pásmu. Modulace se velmi často používá při přenosu nebo záznamu elektrických nebo optických signálů. Nejběžnějšími příklady zařízení spotřební elektroniky využívajících modulaci jsou například rozhlasový a televizní přijímač, mobilní telefon, různé typy modemů, satelitní přijímače atd.

Zařízení, které provádí modulaci, se nazývá modulátor. Musí vždy obsahovat nějaký nelineární prvek, jinak nemůže k modulaci dojít. Platí to ale i naopak. Jakmile se jakékoliv dva signály setkají na nějakém nelineárním prvku nebo v nelineárně se chovajícím prostředí, dojde k jejich vzájemné modulaci tzv. intermodulaci. Opakem modulace je demodulace, kterou provádí demodulátor.

Rozdělení modulací

Existuje celá řada různých typů modulací. Podle typu nosného signálu se rozdělují na:

- **Spojité analogové modulace** - nosným signálem je signál s harmonickým průběhem v čase (sinusoida nebo cosinusoida) a modulačním signálem je analogový signál. Mezi tyto typy patří modulace AM, FM, PM.
- **Spojité digitální modulace** - nosným signálem je signál s harmonickým průběhem v čase (sinusoida nebo cosinusoida) a modulačním signálem je digitální signál. Mezi tyto typy patří například ASK (Amplitude-Shift Keying), FSK (Frequency-Shift Keying), PSK (Phase-Shift Keying)
- **Diskrétní modulace** - nosným signálem těchto modulací je signál s nespojitým průběhem. Mezi tyto typy patří například PAM (pulzně amplitudová modulace), PWM (pulzně šířková modulace), PCM (pulzně kódová modulace)

Realizovaný generátor dokáže provádět spojitou digitální modulaci, a proto se budeme dále zabývat pouze tímto typem modulace.

6.1 Spojitá digitální modulace

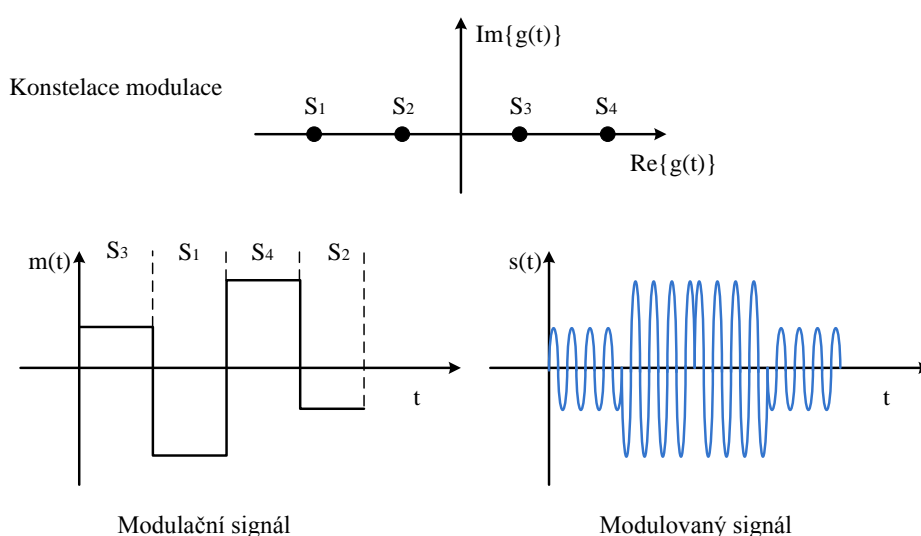
Dříve než začneme s popisem jednotlivých typů modulací je potřeba definovat některé základní pojmy.

Konstelace modulace – definuje rozložení všech možných vektorů rozkladu modulačního signálu $m(t)$. Rozložením modulačního signálu se rozumí rozklad komplexní obálky $g(t)$ na soufázovou a kvadrurní modulační složku.

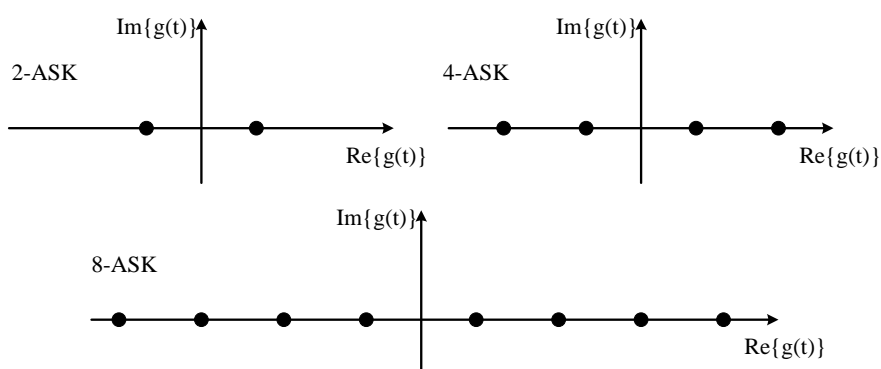
Množina kanálových symbolů q_n – je množina všech vektorů rozkladu modulačního signálu $m(t)$

6.1.1 Amplitudové klíčování ASK – Amplitude Shift Keying

Modulace ASK je lineární digitální modulace bez paměti se symetrickou konstelací. Modulace ASK je modulací se symetrickou a ekvidistantní množinou kanálových symbolů $q_n = \{\pm 1, \pm 3, \pm 5, \dots\}$ tvořenou lichými čísly. Kanálové symboly jsou zároveň ryze reálné. Podle množství stavů lze realizovat 2-ASK, 4-ASK, 8-ASK, Použití ASK modulace není vhodné v případě většího počtu kanálových symbolů z důvodu energetické účinnosti. Příklady ASK jsou zobrazeny na Obr. 51 a Obr. 52.



Obr. 51. Princip 4 – ASK



Obr. 52. Ukázky konstelací různých druhů ASK modulací

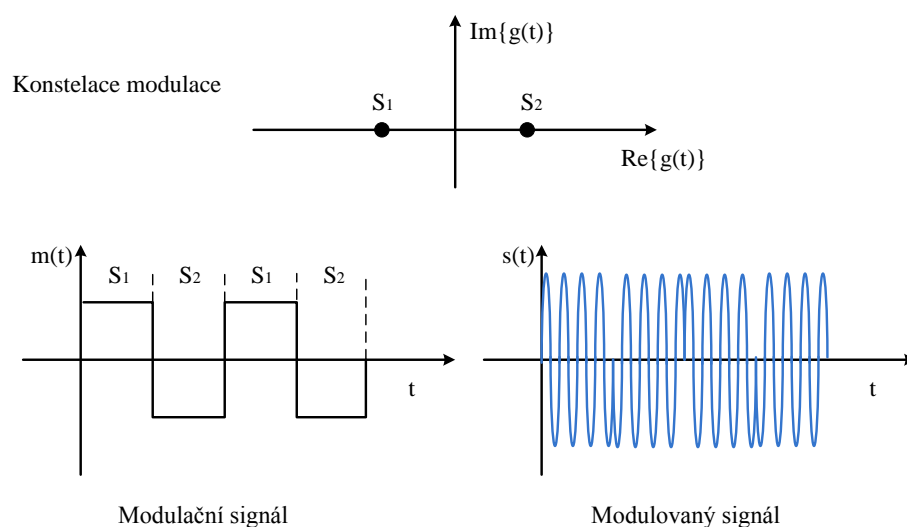
6.1.2 Fázové klíčování PSK – Phase Shift Keying

Modulace PSK je lineární digitální modulací bez paměti. Modulace PSK je založena na změně fáze vektoru v konstelaci modulace. Modulace PSK se skládá z množiny kanálových symbolů q_n viz následující vztah (60).

$$q_n \in \left\{ e^{j \frac{2\pi}{MAX_STAV\bar{U}} \cdot stav} \right\}_{stav=MAX_STAV\bar{U}-1}^{stav=0} \quad (60)$$

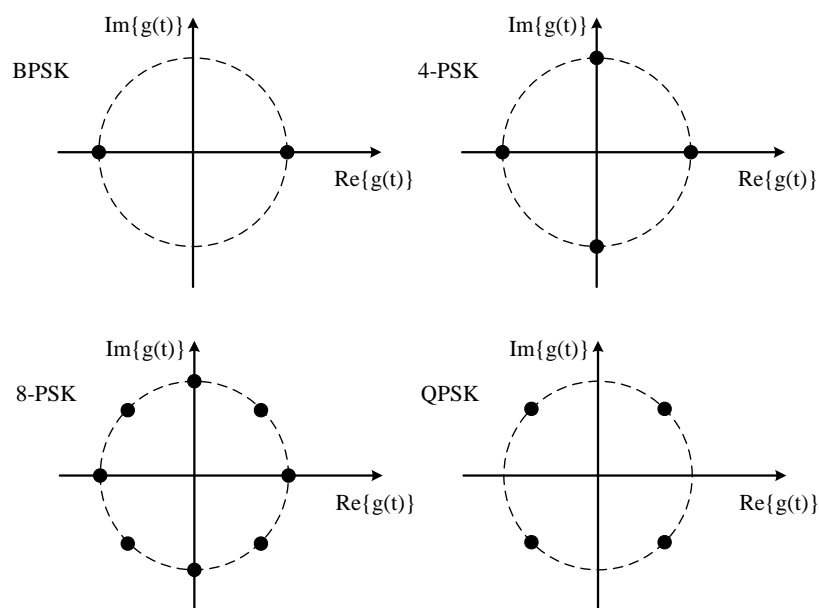
Rovněž pro kanálové symboly platí, že $|q_n|^2 = 1$, z čehož vyplývá, že kanálové symboly modulace PSK mají konstantní energii. Touto modulací lze modulovat dva a více stavů. Dvoustavová PSK modulace se značí BPSK (Binary Phase Shift Keying) a je zobrazena na Obr. 53.

Krom klasických PSK modulací existuje i kvadrurní PSK modulace Q-PSK jejíž kanálové symboly jsou $q_n \in \left\{ \frac{1+j}{\sqrt{2}}, \frac{-1+j}{\sqrt{2}}, \frac{-1-j}{\sqrt{2}}, \frac{1-j}{\sqrt{2}} \right\}$.



Obr. 53. Ukázka BPSK modulace

Ukázky konstelací PSK modulací jsou zobrazeny na Obr. 54.

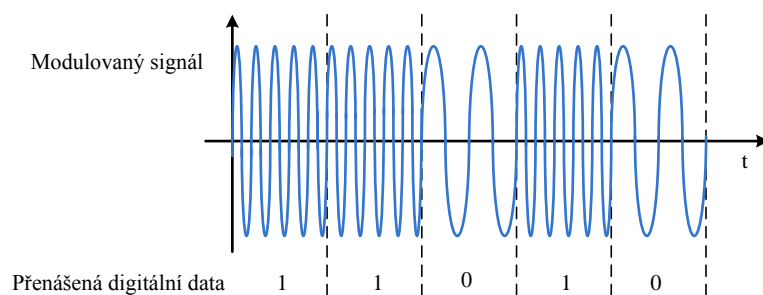


Obr. 54. Konstelace různých PSK modulací

6.1.3 Frekvenční klíčování FSK – Frequency Shift Keying

Modulace FSK je nelineární digitální modulací bez paměti. Každá stavová hodnota je reprezentována definovanou odchylkou frekvence signálu od nosné (frekvenčním zdvihem). Nejjednodušší variantou této modulace je dvoustavová FSK modulace, která je znázorněna na Obr. 55.

[21], [22], [23]



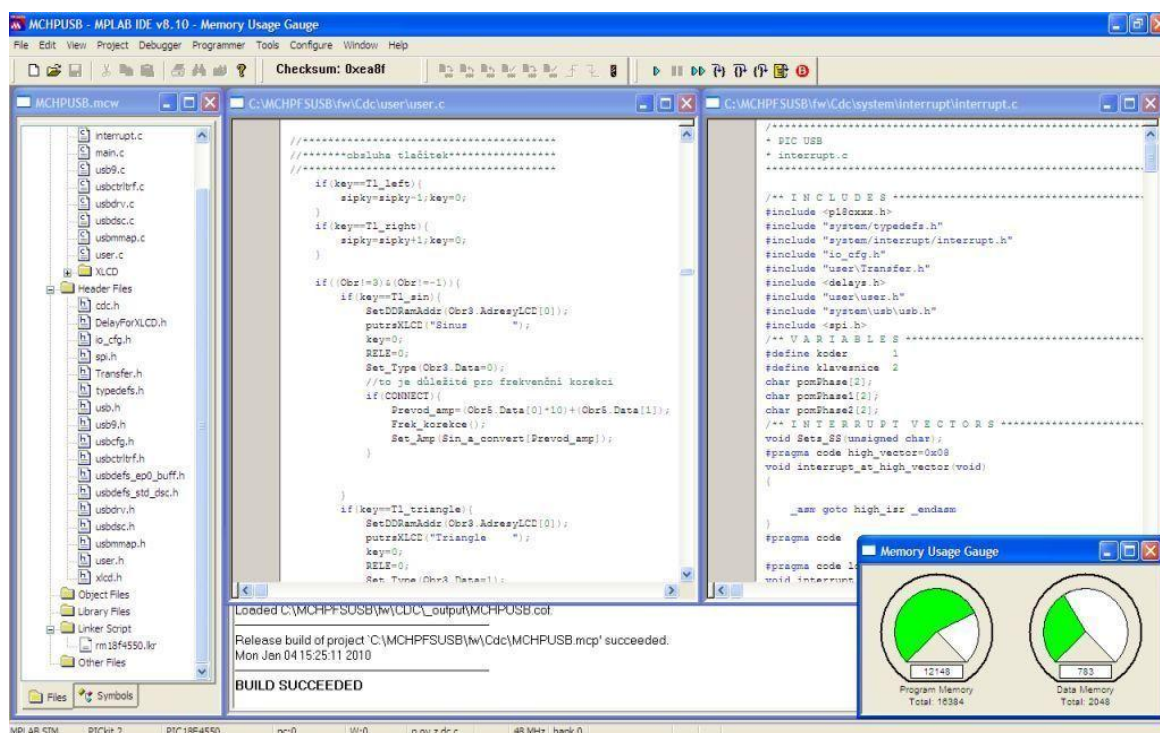
Obr. 55. Ukázka dvoustavové FSK modulace

7 Firmware v mikroprocesoru

Řídící jednotkou funkčního generátoru je osmi bitový mikroprocesor PIC18F4550 od firmy Microchip. Firmware je vytvořen ve vývojovém prostředí MPLAB IDE 8.10 a aplikace je naprogramována pomocí jazyku C.

Mikroprocesor obstarává komunikaci s PC skrze sběrnici USB, dále pomocí SPI rozhraní ovládá DDS obvod AD9833 a digitální potenciometry, umožňuje uživatelský vstup pomocí tlačítek a rotačního kodéru a zobrazuje informace na LCD displeji.

MPLAB IDE je vývojové prostředí, které je dostupné zdarma na stránkách Microchip, integruje set nástrojů pro vývoj vestavěných aplikací s mikroprocesory PIC a dsPIC. MPLAB IDE pracuje jako 32 bitová aplikace pod operačním systémem Microsoft Windows. Abychom mohli programovat v jazyku C, je nutné mít k dispozici vhodný kompilátor. Jako kompilátor je použit MPLAB C Compiler for PIC18 MCUs (Standard-Eval Version), který je možné zdarma získat od firmy Microchip. Verze Standard-Eval má všechny vlastnosti jako plná verze kompilátoru po dobu 60-ti dnů. Zkompilovaný kód po uplynutí doby bude zcela funkční, jen může zabírat více místa v paměti. Pro představu je na Obr. 56 zobrazen screen vývojového prostředí MPLAB IDE.



Obr. 56. Screen vývojového prostředí MPLAB IDE v8.10

7.1 Uživatelský vstup - Klávesnice

Vybraný typ mikroprocesoru má 36 vstupně/výstupních bran, které krom funkce digitálního vstupu a výstupu mohou mít i jiné funkce jako je RESET, piny pro připojení krystalu, přerušovací vstupy, SPI rozhraní a podrobně. Jelikož mikroprocesor bude řídit LCD displej, obsluhovat rotační

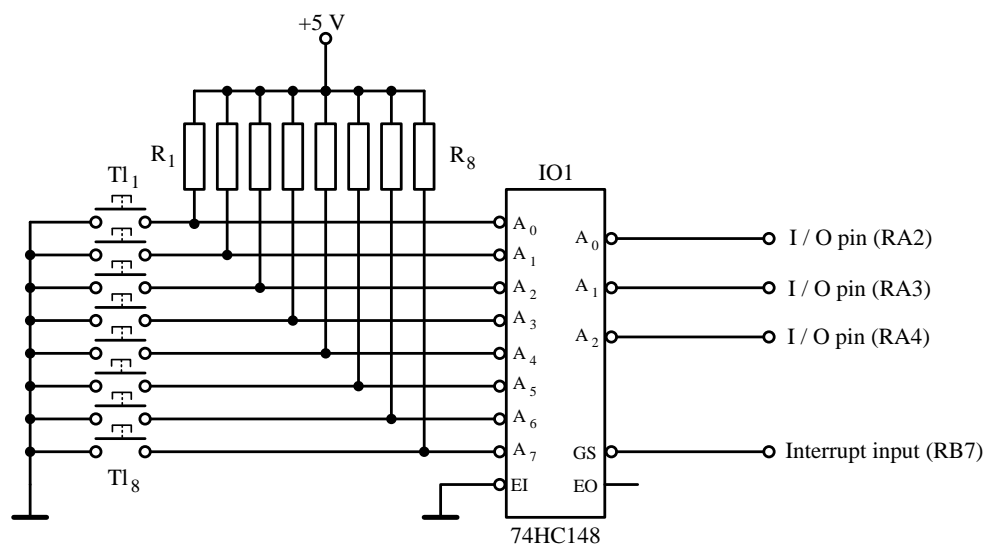
kodér, komunikovat prostřednictvím USB, nemáme dostatek pinu pro přímé připojení tlačítek. Proto jsem se rozhodl tlačítka připojit prostřednictvím kodéru 74HC148. Tento kodér kóduje úroveň na osmi vstupech do tříbitových slov. Pravdivostní tabulka kodéru je zobrazena v Tab. 8.

Tab. 8. Pravdivostní tabulka obvodu 74HC148, H – logická úroveň 1, L – logická úroveň 0, X – nemá vliv na funkci

| EI | A ₀ | A ₁ | A ₂ | A ₃ | A ₄ | A ₅ | A ₆ | A ₇ | A ₂ | A ₁ | A ₀ | GS | EO |
|----|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----|----|
| H | X | X | X | X | X | X | X | X | H | H | H | H | H |
| L | H | H | H | H | H | H | H | H | H | H | H | H | L |
| L | X | X | X | X | X | X | X | L | L | L | L | L | H |
| L | X | X | X | X | X | X | L | H | L | L | H | L | H |
| L | X | X | X | X | X | L | H | H | L | H | L | L | H |
| L | X | X | X | X | L | H | H | H | L | H | H | L | H |
| L | X | X | X | L | H | H | H | H | H | L | L | L | H |
| L | X | X | L | H | H | H | H | H | H | L | H | L | H |
| L | X | L | H | H | H | H | H | H | H | H | L | L | H |
| L | L | H | H | H | H | H | H | H | H | H | H | L | H |

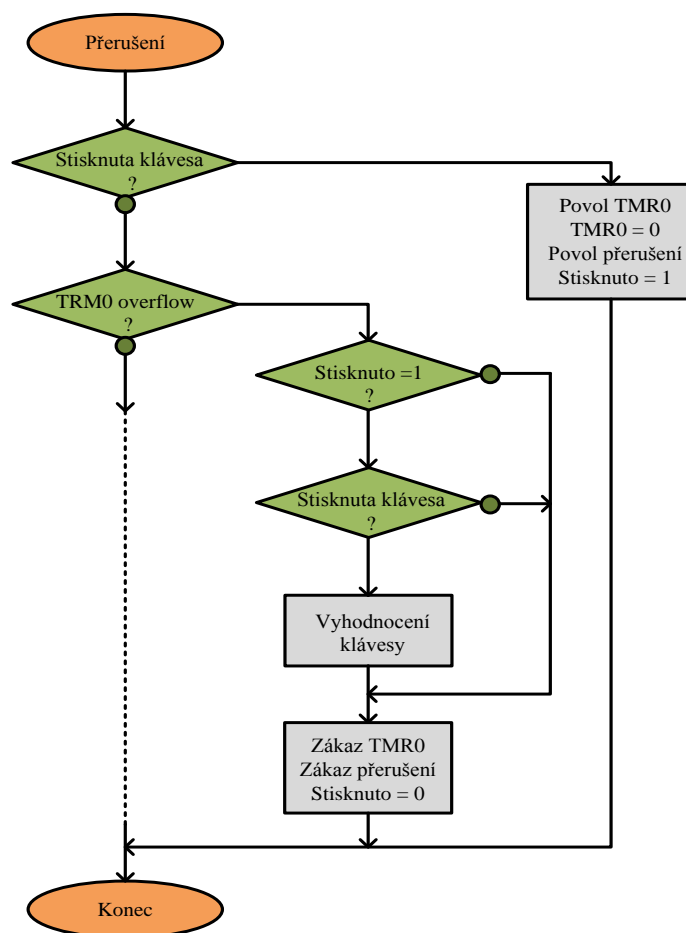
Z Tab. 8 je vidět, že se jedná o prioritní kodér, který vyhodnocuje a zakóduje vždy nejvyšší vstup, tato vlastnost řeší případ, kdy se stiskne dva a více tlačítek zároveň. Vždy se vyhodnotí to tlačítko, které je připojeno na vyšší vstup. Rovněž si můžeme všimnout, že se jedná o negativní logiku, což v našem případě znamená, že stisknutím tlačítka musíme přivést na daný pin obvodu logickou nulu. Abychom nemuseli v programu mikroprocesoru trvale sledovat situaci na pinech, což by zabíralo zbytečně výpočetní čas, je výstupní pin GS připojen na přerušovací vstup mikroprocesoru. Pokud nebude stisknuto tlačítko, přerušovací vstup mikroprocesoru bude mít hodnotu logické úrovně 1, při stisknutí libovolného tlačítka, bude mít hodnotu logické nuly, čímž se mikroprocesor dozví o změně stavů tlačítek. Tlačítka budou realizovat tyto funkce: Vybrání trojúhelníkového signálu, Vybrání sinusového signálu, Vybrání obdélníkového signálu, Šipka vlevo, Šipka vpravo, Potvrzení – ENTER, Funkční tlačítko 1, Funkční tlačítko 2.

Krom funkcí, které jsou zřejmé, obsahuje zařízení dva funkční tlačítka, které jsou vyhrazené pro případné budoucí rozšíření aplikace.



Obr. 57. Zapojení tlačítek

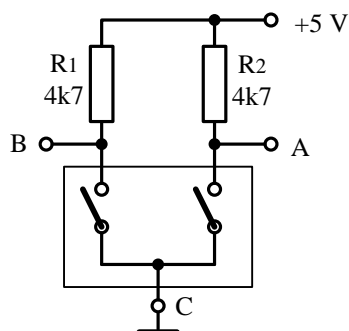
Výše uvedené schéma neřeší problémy spojené se zámkity kontaktů jednotlivých spínačů, proto se musí vyřešit softwarově. Softwarové řešení je zakresleno v algoritmu zobrazeném na Obr. 58. Při stisku klávesy se chod programu přepne do obslužné rutiny přerušení. V přerušení musíme vyhodnotit, o které přerušení se jedná. Pokud jde o přerušení od klávesnice, povolí se čítání čítače TMR0, přerušení od čítače a nastaví se pomocná proměnná. Po přetečení čítače se opět dostaneme do obslužné rutiny přerušení, opět zjistíme, o jaké přerušení se jedná, poté pokud je nastavena proměnná vyhodnotíme stisknutou klávesu. V případě, že po sepnutí se objeví zámkity, neustále se povoluje čítání, přerušení čítače a nuluje čítač, po posledním zámkitu se čeká na přetečení čítače, které nastane přibližně po 10 ms.



Obr. 58. Algoritmus vyhodnocení tlačítek

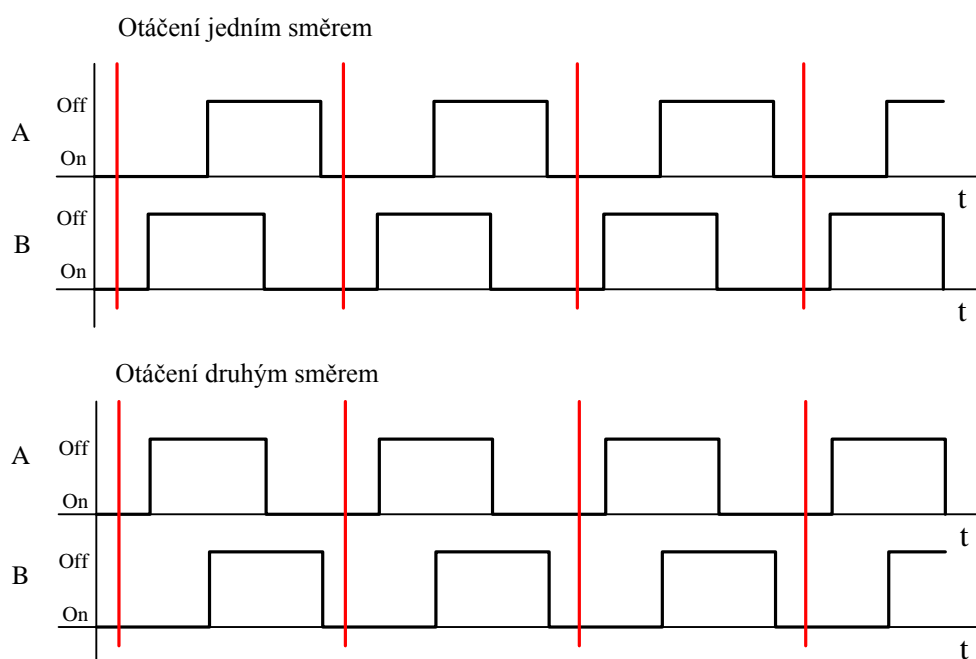
7.2 Uživatelský vstup – Rotační kodér

Pro snadné nastavení jednotlivých hodnot je v aplikaci zvolen rotační kodér, jehož výstup je mnohem lépe zpracovatelný procesorem než například analogový potenciometr. Zapojení rotačního kodéru je ukázáno na Obr. 59.



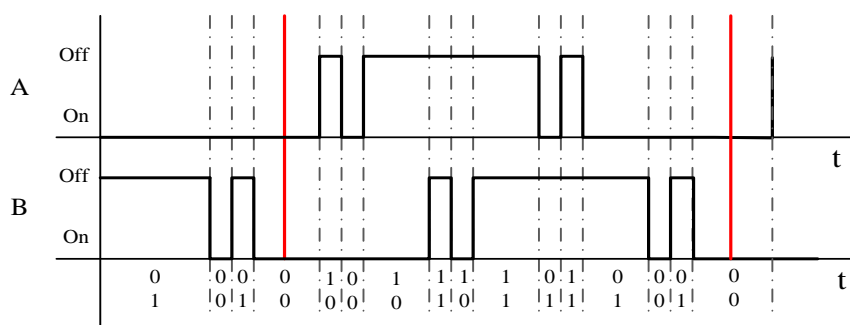
Obr. 59. Zapojení rotačního kodéru

Na výstupech A a B rotačního kodéru je obdélníkový signál, který je vzájemně fázově posunutý. Podle tohoto fázového posuvu poznáme, na kterou stranu se rotační kodér otáčí. Na Obr. 60 jsou ukázány signály z kodéru pro oba směry otáčení hřídele. Červené svislé čáry představují klidové polohy z čehož je jasné, že vyhodnocení posuvu se musí provádět během pohybu (v klidové poloze nelze nic vyhodnotit, vždy je stejná $A = 0$, $B = 0$).



Obr. 60. Výstup rotačního kodéru pro otáčení jedním a druhým směrem

Vyhodnocení opět trochu stěžují zákmity kontaktů, které vznikají při každé změně úrovně. Obr. 61 ilustruje vliv zákmitů na vyhodnocení mikroprocesorem.

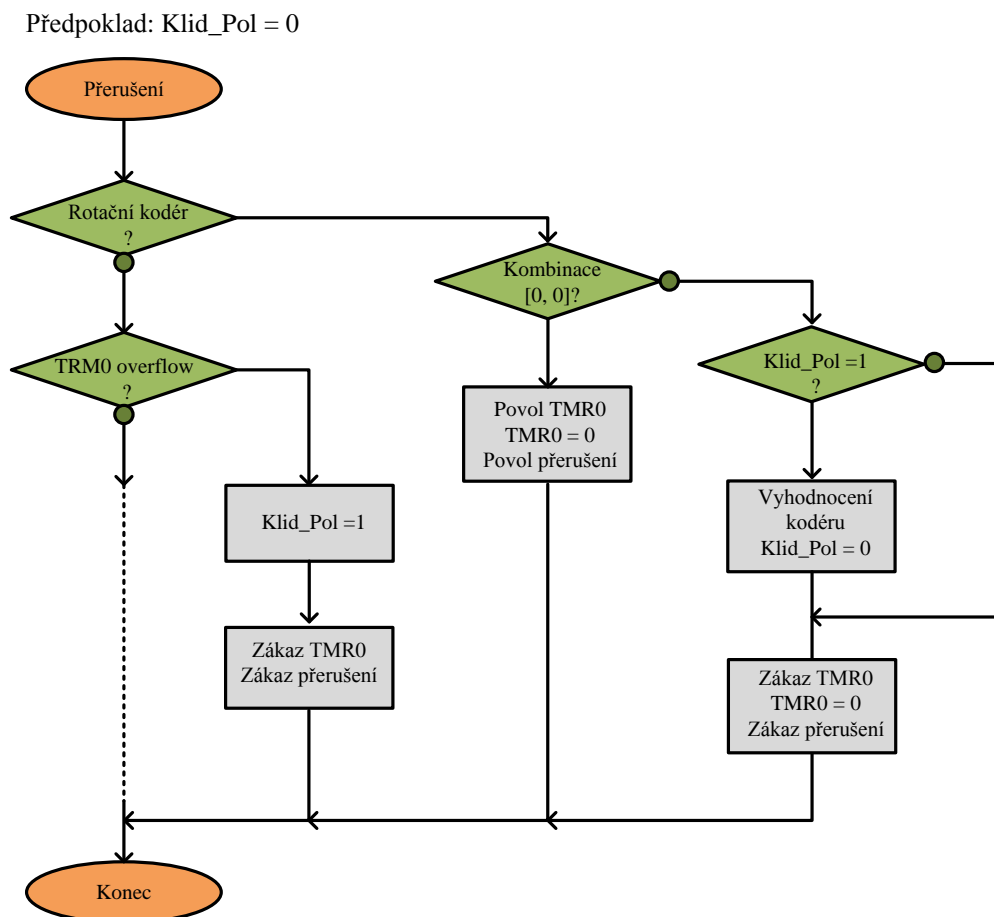


Obr. 61. Vliv zákmitů na výstupní signál rotačního kodéru

Podle dokumentace mají zákmity trvat maximálně 5 ms. Budeme-li předpokládat, že klidová poloha $[0, 0]$ bude trvat vždy déle než parazitní kombinace výstupu způsobené zákmity, pak první změna po klidové poloze bude určovat směr otáčení. Pro otáčení na jednu stranu bude první

kombinace po klidové poloze [1, 0] a pro druhou stranu to bude [0, 1]. Díky těmto vlastnostem lze zjistit, na jakou stranu byl daný posun a čítáním změn z klidové úrovně do kombinace [1, 0] nebo [0, 1] lze detekovat velikost otáčky kodéru.

Z výše popsaného je zřejmé, že pro správné vyhodnocení je důležité umět korektně rozpoznat klidovou polohu a samozřejmě je nutné vyhodnocovat jednotlivé stavy co nejrychleji od jejich vzniku proto musíme využívat přerušovací systém.



Obr. 62. Algoritmus vyhodnocení otáčení kodéru

Na Obr. 62 je zakreslen algoritmus vyhodnocení rotačního kodéru. Pokud se změní výstup rotačního kodéru, nastane přerušení a vyhodnotí se, zda je na výstupu kombinace [0,0], pokud ano, povolí se čítač TMR0. V případě, že se kombinace nezmění cca 10 ms, dojde k přerušení od čítače TMR0, nastaví se proměnná Klid_Pol a zakáže se další čítání. Nastane-li nyní změna kombinace na výstupu kodéru, jedná se o první změnu po klidové poloze a dojde k jejímu vyhodnocení, proměnná Klid_Pol se nastaví na nulu.

7.3 Uživatelský výstup – LCD displej

V realizovaném hardwaru je využit displej z nabídky GM electronic s označením MC2004B-SYL/H. Tento displej byl vybrán jako kompromis mezi cenou a potřebným formátem. Jelikož tímto zařízením bude v budoucnu vybaveno každé pracovní stanoviště v laboratoři, příliš vysoká cena by negativně ovlivňovala jeho plánované použití.

Vlastnosti MC2004B-SYL/H

Formát 20 x 4 znaků

Znak 5 x 8 bodů

Transreflektivní displej se žlutozeleným LED podsvětlením

Technologie STN

Řadič kompatibilní s HD44780

Tento displej lze ovládat prostřednictvím buď osmi, nebo čtyř bitové sběrnice. Osmi bitová komunikace je rychlejší, ale je potřeba osm vstupně/výstupních bran procesoru a proto je v této práci použita čtyř bitová komunikace. Při tomto druhu komunikace jsou využity jen 4 datové vodiče DB4 - DB7 a zbytek je uzemněn. Data nebo instrukce jsou vyslány vždy nadvakrát. Nejprve se na DB4 - DB7 pošle horní polovina bytu, vygeneruje se kladný pulz na hodinový vstup E. Následně se pošle na sběrnici spodní polovina bytu a generuje se opět kladný pulz na vstup E.

Definice jednotlivých znaků je pevně uložena ve vnitřní paměti ROM. Adresy základních znaků odpovídají ASCII kódování. Pro zjištění adres speciálních znaků je nutné nahlédnout do technické dokumentace k řadiči HD44780. Pod adresou 0 – 7 je možné přistoupit k uživatelem definovaným znakům, které jsou definovány v CGRAM (Character Generator RAM). Pro češtinu je osm znaků málo, znaky se však mohou měnit před jejich zobrazením. Tento postup přepisování znaků nám však přepíše i zobrazený znak na displeji za nově nadefinovaný (např. na adrese 0 je nadefinován znak 'á', na displeji je nápis "máma má" a nyní se znak na adrese 0 předefinuje na 'é' (chceme vypsat "máma má mléko") avšak na displeji se objeví "méma mé mléko").

Data, která se mají zobrazit, jsou uložena v paměti DDRAM (Display Data RAM). Struktura DDRAM pro použitý displej je na Obr. 63. Seznam všech podporovaných instrukcí řadičem HD44780 je uveden v Tab. 9.

| | | | | | | | | | | | | | | | | | | | |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 00h | 01h | 02h | 03h | 04h | 05h | 06h | 07h | 08h | 09h | 0Ah | 0Bh | 0Ch | 0Dh | 0Eh | 0Fh | 10h | 11h | 12h | 13h |
| 40h | 41h | 42h | 43h | 44h | 45h | 46h | 47h | 48h | 49h | 4Ah | 4Bh | 4Ch | 4Dh | 4Eh | 4Fh | 50h | 51h | 52h | 53h |
| 14h | 15h | 16h | 17h | 18h | 19h | 1Ah | 1Bh | 1Ch | 1Dh | 1Eh | 1Fh | 20h | 21h | 22h | 23h | 24h | 25h | 26h | 27h |
| 54h | 55h | 56h | 57h | 58h | 59h | 5Ah | 5Bh | 5Ch | 5Dh | 5Eh | 5Fh | 60h | 61h | 62h | 63h | 64h | 65h | 66h | 67h |

Obr. 63. Struktura paměti DDRAM (skutečná adresa je posunuta o hodnotu 80h)

Tab. 9. Popis jednotlivých instrukcí

| Význam instrukce | RS | R/W | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 | Délka |
|---|----|-----|------|----------------|----------------|-----|-----|-----|-----|-----|---------|
| Smaže disp. a nastaví kurzor na začátek | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1,64 ms |
| Nastaví kurzor na začátek | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | x | 1,64 ms |
| Směr posuvu kurzoru I/D (0 = vlevo, 1 = vpravo), posuv textu S (0 = ne, 1 = ano) | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | I/D | S | 40 us |
| D - zapne displej, C - zapne kurzor, B - zapne blikání kurzoru | 0 | 0 | 0 | 0 | 0 | 0 | 1 | D | C | B | 40 us |
| 1x posun (S/C = 0 kurzor, S/C = 1 text) směrem (R/L = 0 vlevo, R/L = 1 vpravo) | 0 | 0 | 0 | 0 | 0 | 1 | S/C | R/L | x | x | 40 us |
| DL = 0 4-bit, DL = 1 8-bit N = 0 jednořádkový, N = 1 dvouřádkový disp. F = 0 font 5x8 F = 1 font 5x10 | 0 | 0 | 0 | 0 | 1 | DL | N | F | x | x | 40 us |
| Přepnutí na zápis do CGRAM | 0 | 0 | 0 | 1 | adresa v CGRAM | | | | | | 40 us |
| Přepnutí na zápis do DDRAM | 0 | 0 | 1 | adresa v DDRAM | | | | | | | 40 us |
| Čtení příznaku BF (BF = 0 příjem povolen, BF = 1 řadič zaneprázdněn), čtení adresy v DDRAM | 0 | 1 | BF | adresa v DDRAM | | | | | | | 0 us |
| Zápis dat do CGRAM nebo DDRAM | 1 | 0 | data | | | | | | | | 40 us |
| Čtení dat z CGRAM nebo DDRAM | 1 | 1 | data | | | | | | | | 40 us |

7.4 Řídicí část firmwaru

Komunikace mezi PC a mikroprocesorem je tvořena pomocí USB Firmware Framework, který poskytuje firma Microchip, což maximálně zjednodušuje práci a urychluje vývoj firmwaru, viz kapitola 5.

Tento Firmware určuje také kostru uživatelské aplikace. Uživatelský program se periodicky volá z funkce *main()*. Při každém zavolání uživatelského programu (*ProcesIO()*) se provádí tři ucelené funkční celky, které jsou zobrazeny na Obr. 64.



Obr. 64. Struktura uživatelského programu

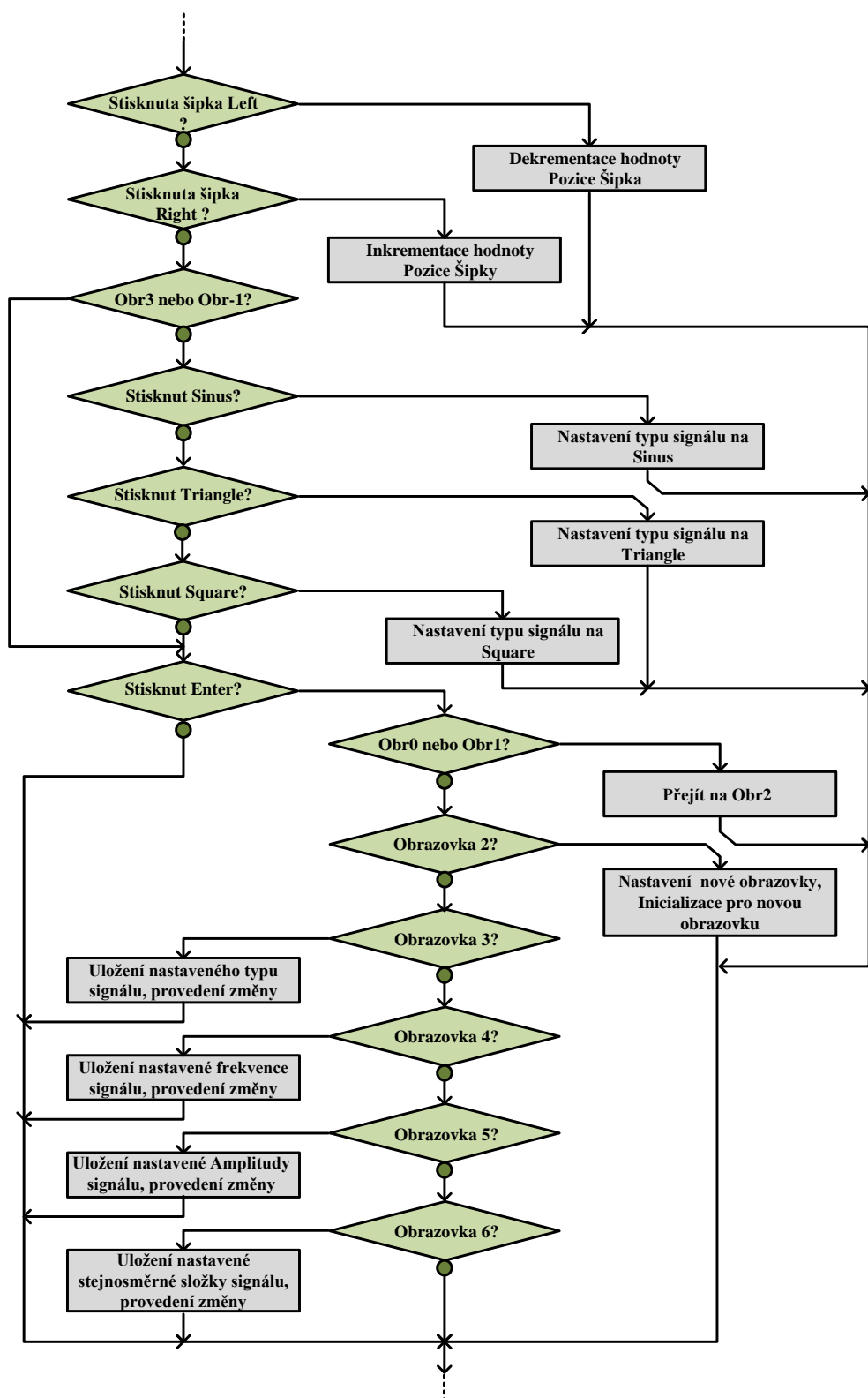
Po zavolání uživatelského programu se nejprve vyhodnotí stisknutá klávesa, kde se využívá přerušení, jak bylo uvedeno v kapitole 7.1. Výsledkem přerušovací rutiny je znak stisknuté klávesy. Tento znak je nutné vyhodnotit, jelikož záleží na aktuálním stavu systému, který je možné charakterizovat zobrazovanou obrazovkou. Seznam všech obrazovek je uveden v Tab. 10.

Tab. 10. Seznam obrazovek systému

| Obrázovka | Popis |
|-----------|---|
| Obr = -1 | Obrázovka pro Modulace/Uživatelské nastavení |
| Obr = 0 | Defaultní obrazovka/ obrazovka po zapnutí generátoru |
| Obr = 1 | Obrázovka po potvrzení/ zobrazuje generované hodnoty |
| Obr = 2 | Obrázovka pro výběr položky k nastavení/ posunem šipek se pohybuje kurzor |
| Obr = 3 | Obrázovka pro nastavení typu signálu |
| Obr = 4 | Obrázovka pro nastavení frekvence signálu |
| Obr = 5 | Obrázovka pro nastavení amplitudy signálu |
| Obr = 6 | Obrázovka pro nastavení stejnosměrné složky signálu |

Vyhodnocení stisknutého tlačítka se provádí v první funkční části uživatelského programu (Obr. 64.). Algoritmus této funkční části je zobrazen na Obr. 65.

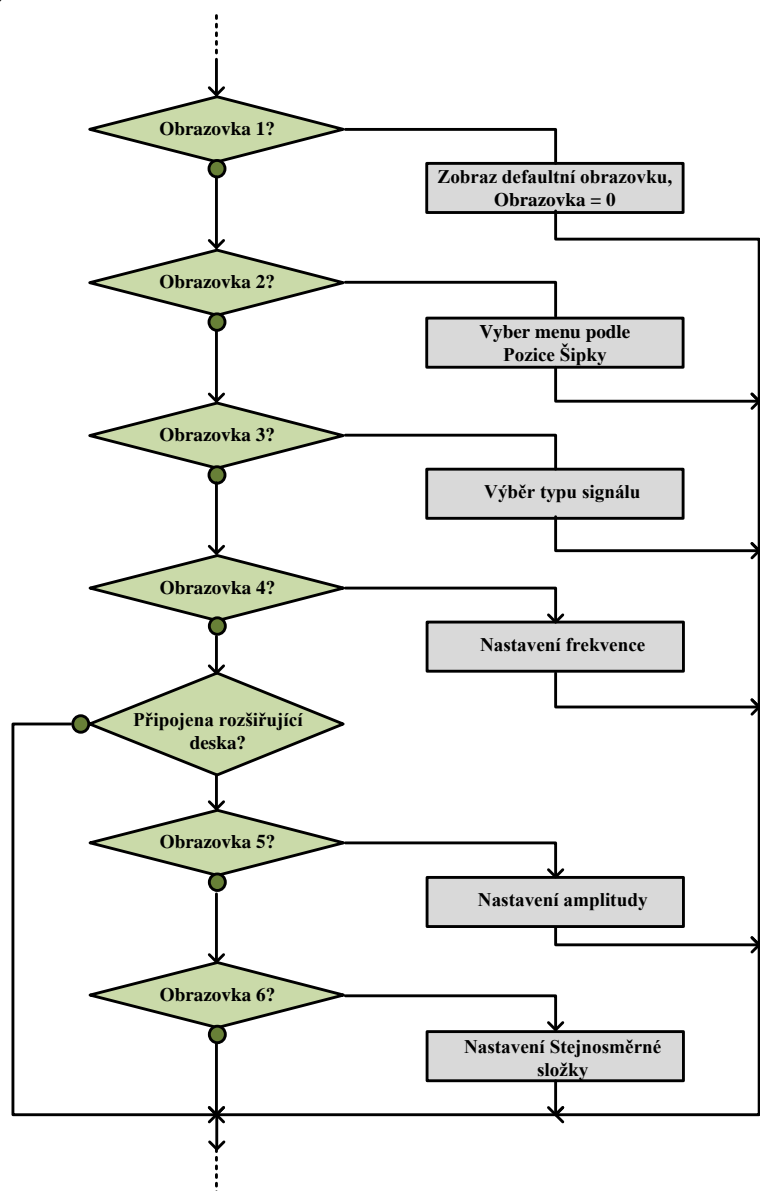
Tlačítko šipka Left, šipka Right a Enter je vyhodnoceno při každém zavolání uživatelského programu, zato tlačítka Sinus, Triangle a Square jsou vyhodnoceny pouze mimo obrazovky Obr = - 1 a Obr = 3, jelikož u těchto dvou obrazovek nemá smysl provádět změnu typu signálu pomocí hardwarových tlačítek. Tlačítko Enter má hned několik funkcí závislých na aktuální obrazovce. Enter slouží k přechodu z Obr = 1 do Obr = 2 tedy do výběru položky, k potvrzení vybrané položky a pro potvrzení nastavené hodnoty, tedy pro návrat na Obr = 1.



Obr. 65. Algoritmus vyhodnocení stisknutí tlačítka

Jakmile se program dostane na příslušnou obrazovku, je potřeba, aby daná obrazovka umožňovala určité funkce. Mezi tyto funkce patří posuv kurzoru pomocí šipek (respektive hodnoty Pozice Šipek viz Obr. 65) díky tomu je možné vybírat například potřebnou cifru při nastavení frekvence, amplitudy nebo stejnosměrné složky signálu a musí umožňovat měnit cifru či typ signálu pomocí rotačního kodéru. Vyhodnocení rotačního kodéru se provádí v přerušovací rutině (viz kapitola 7.2), v této rutině se aktualizuje hodnota proměnné nesoucí informaci o natočení kodéru. Tato proměnná a proměnná Pozice Šipek se vyhodnocuje ve funkční části nazvané logika jednotlivých obrazovek, jejíž algoritmus je zobrazen na Obr. 66.

Z algoritmu je možné si všimnout, že obrazovka 5 a 6 se vyhodnocuje jen tehdy je-li připojena rozšiřující deska.



Obr. 66. Algoritmus logiky jednotlivých obrazovek

Poslední důležitou částí uživatelského programu je třetí funkční část obstarávající USB komunikaci. Tato část poskytuje několik funkcí dostupných pro uživatele skrze USB. Seznam podporovaných funkcí je zobrazen v Tab. 11.

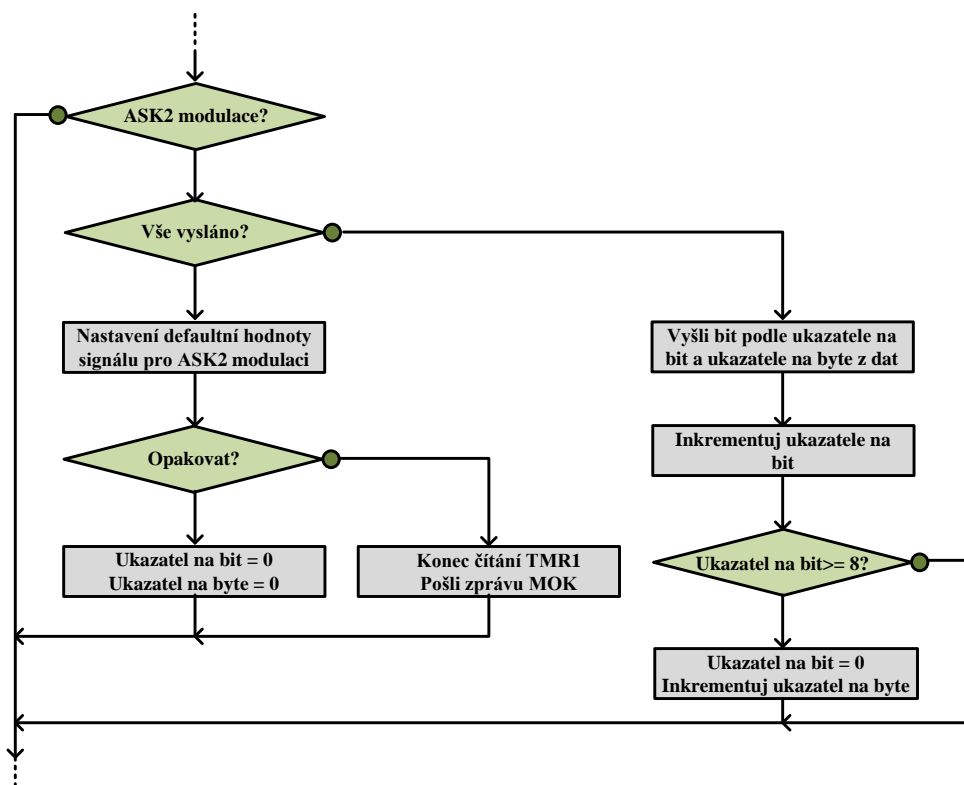
Tab. 11. Seznam použitých zpráv komunikace mezi PC a mikroprocesorem

| Hlavička zprávy | Délka zprávy | Směr | Popis |
|-----------------|--|---------|--|
| RD | 2B | PC → μP | Požadavek na hodnoty: typ signálu, frekvence, amplituda, ss složka |
| RF | 17 B | μP → PC | Odpověď na zprávu RD |
| ST | Bez rozšiřující desky 11B S rozšiřující deskou 16 B | PC → μP | Nastavení hodnot: typ signálu, frekvence, amplituda, ss složka |
| UO | 2 B | PC → μP | Požadavek o manuální režim nastavení registrů |
| UF | 6 B | PC → μP | Manuální nastavení frekvenčních registrů |
| US | 3 B | PC → μP | Manuální nastavení ss složky signálu |
| UA | 3 B | PC → μP | Manuální nastavení amplitudy signálu |
| UP | 4 B | PC → μP | Manuální nastavení fáze signálu |
| UC | 4 B | PC → μP | Manuální nastavení konfiguračního registru |
| UE | 2 B | PC → μP | Ukončení manuálního režimu |
| MO | 2 B | PC → μP | Požadavek o režim modulace |
| ME | 2 B | PC → μP | Ukončení režimu modulace |
| MA2 | 20B | PC → μP | Modulace ASK2 |
| MA4 | 24 B | PC → μP | Modulace ASK4 |
| MP2 | 20 B | PC → μP | Modulace PSK2 |
| MP4 | 24 B | PC → μP | Modulace PSK4 |
| MF2 | 26 B | PC → μP | Modulace FSK2 |
| MF4 | 34 B | PC → μP | Modulace FSK4 |
| MR | 2 B | PC → μP | Ukončení opakovaného vysílání |
| MOK | 3B | μP → PC | Informace o konci vyslání paketu dat |

Podporované funkce lze rozdělit na tři skupiny. První skupinu tvoří funkce pro nastavení a čtení hodnot (RD, RF, ST). Další skupinou jsou funkce sloužící pro manuální nastavení registrů v DDS obvodu a nastavení digitálních potenciometrů (UO, UF, US, UA, UP, UE). Třetí skupinou jsou funkce, které umožňují modulované vysílání dat (MO, ME, MA2, MA4, MP2, MP4, MF2, MF4, MR, MOK). Podrobný popis všech funkcí je uveden v příloze.

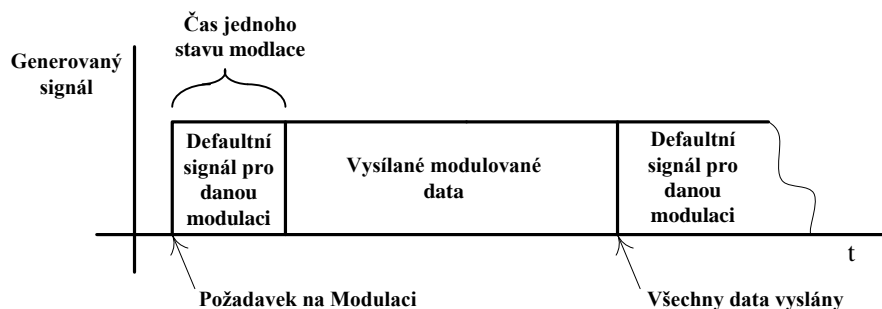
Implementace výše uvedených funkcí je podobná, vždy se nejprve po přijetí dat z PC zjistí, o jakou zprávu se jedná a následně se provede potřebná akce. Jedině funkce obstarávající modulace využívají přerušovací rutinu časovače TMR1 v níž se postupně vysílají data. Algoritmus programu v této přerušovací rutině je pro příklad ASK2 modulace uveden na Obr. 67. Ostatní modulace se uskutečňují obdobně. Nejprve se testuje, zda se jedná o modulaci ASK2, pokud ano je nutné zjistit, zda jsou všechna požadovaná data vyslána. Pokud ne dojde k vyslání bitu, na který je právě

ukazováno ukazateli. Pokud jsou vyslána všechna data, zakáže se čítání čítače a pošle se zpráva MOK, pokud není nastaveno opakované vysílání. Pokud je nastaveno opakované vysílání, nulují se ukazatelé na byte a bit a vše se opakuje.



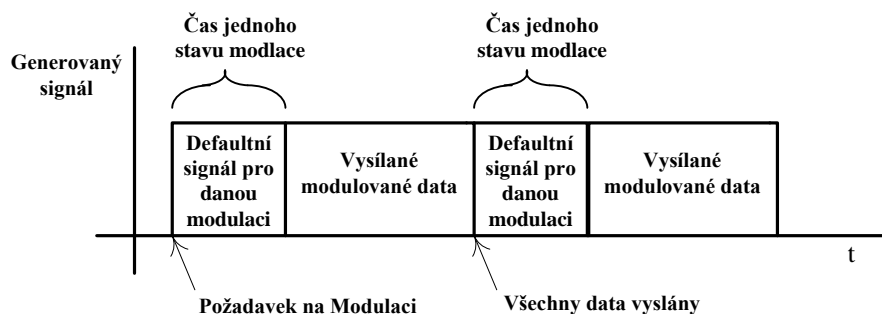
Obr. 67. Algoritmus programu v přerušovací rutině čítače TMR1 pro příklad modulace ASK2

Průběh modulace bez opakování je zobrazen na Obr. 68 po prvním požadavku o vyslání se povolí čítání čítače a za dobu jednoho stavu modulace se začne s vlastním vysíláním dat pomocí zvolené modulace. Během té doby se na výstupu objeví defaultní signál, který si uživatel volí pomocí aplikace v PC. Po vyslání všech dat se modulace ukončí a začne se vysílat defaultní signál. Data se vysílají vždy (platí pro každou modulaci) od nultého bytu a každý byte se začíná vysílat od bitu s nejnižší vahou.



Obr. 68. Průběh modulace bez opakování

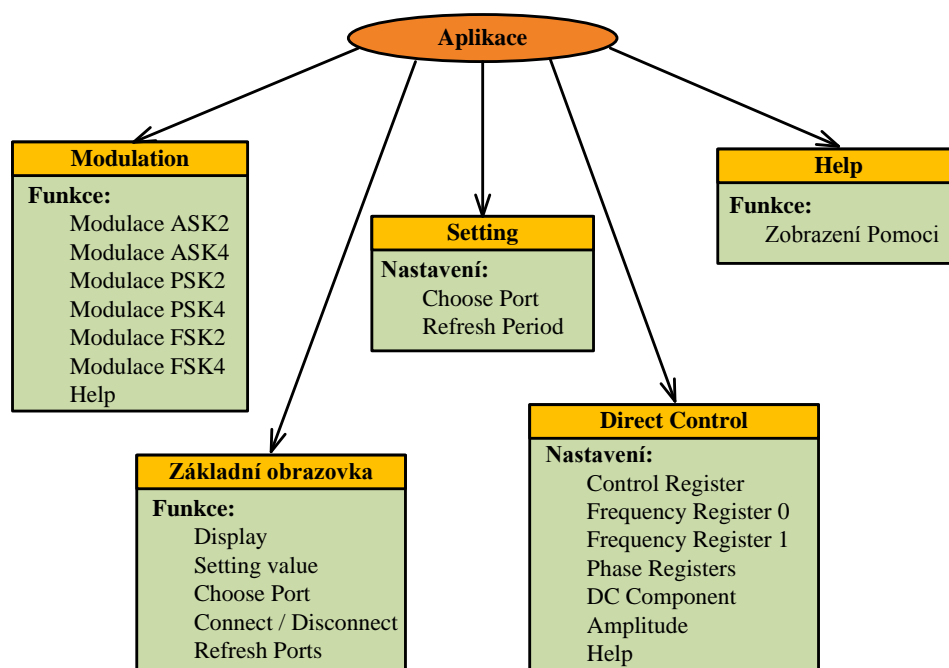
Na Obr. 69 je zobrazen průběh modulace s opakováním. Tento typ modulace se liší od výše uvedeného v tom, že po vyslání dat se vysílá defaultní signál pouze po dobu jednoho stavu modulace a následuje opětovné vysílání dat. Takováto sekvence se neustále opakuje.



Obr. 69. Průběh modulace s opakováním

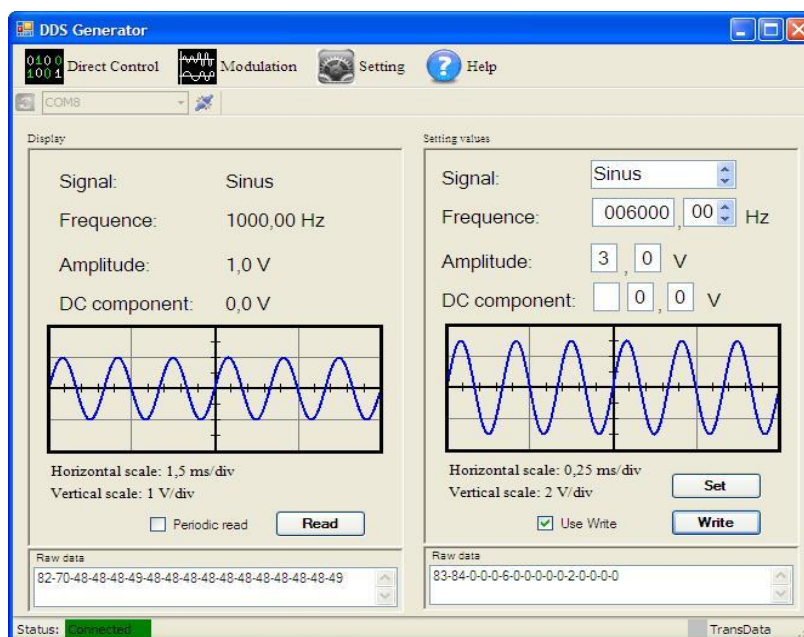
7.5 Uživatelská aplikace v PC

Uživatelská aplikace v PC je napsána v prostředí Visual Studio 2005 a jazyce C#. Aplikace uceluje všechny dostupné uživatelské funkce do jakýchsi pěti celků, jsou to Modulace, Nastavení, Help, Přímé nastavení registrů a Základní obrazovka. Znázornění těchto celků se seznamem dostupných funkcí je uvedeno na Obr. 70.

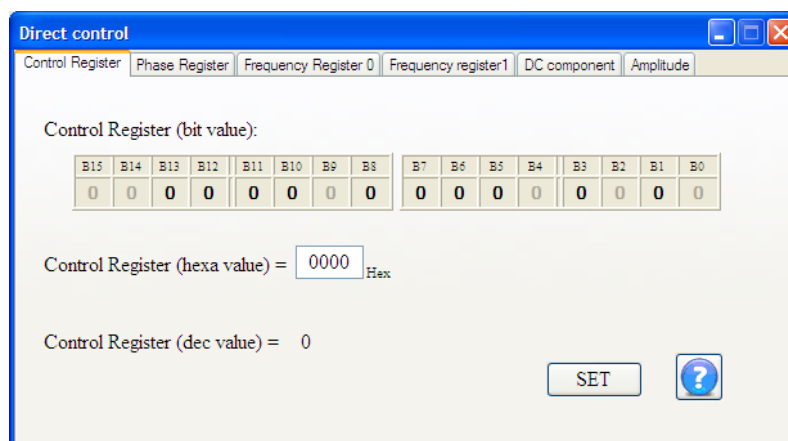


Obr. 70. Znázornění dělení dostupných funkcí do pěti celků

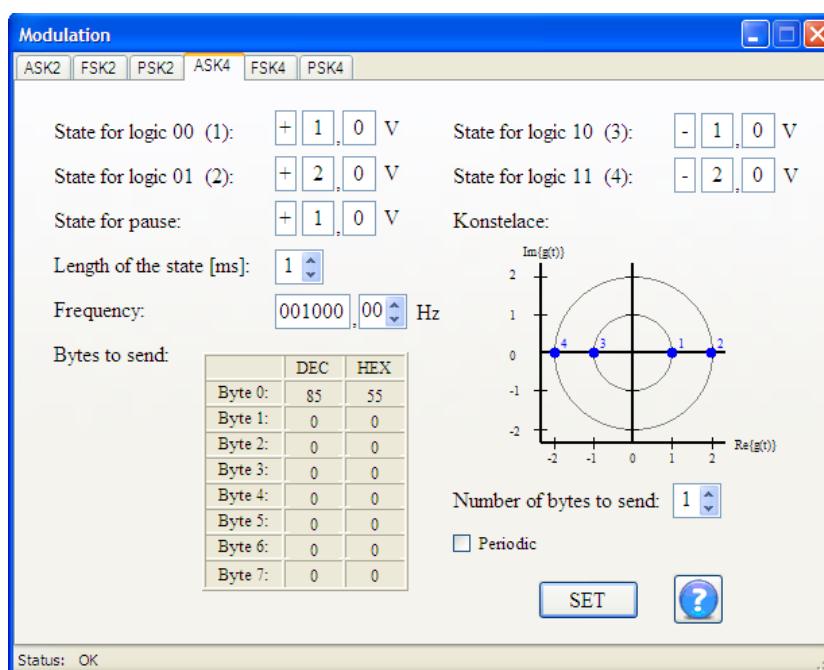
Applikace rovněž obsahuje podrobný Help, ve kterém je popsána práce s tímto softwarem a základní informace o dostupných modulacích a registrech DDS obvodu. Pro ilustraci je na Obr. 71 ukázka základní obrazovky softwaru. Tato obrazovka obsahuje i možnost přepnutí do režimu modulace a přímého nastavení registrů, tyto režimy jsou zobrazeny na Obr. 72 a Obr. 73.



Obr. 71. Ukázka základního okna softwaru



Obr. 72. Ukázka okna přímého nastavení registrů



Obr. 73. Ukázka okna modulací

Pro snadnou instalaci zařízení je vytvořen jednoduchý instalační soubor pomocí služby Installer ve Visual Studiu 2005. Instalační soubor umožňuje nainstalovat program a všechny potřebné komponenty na uživatelem zvolené místo v potřebné hierarchii složek a souborů, což velmi ulehčí práci a odstíní uživatele od nepodstatných informací o struktuře souborů. Podrobné informace o softwaru jsou uvedeny v příloze.

[24], [25]

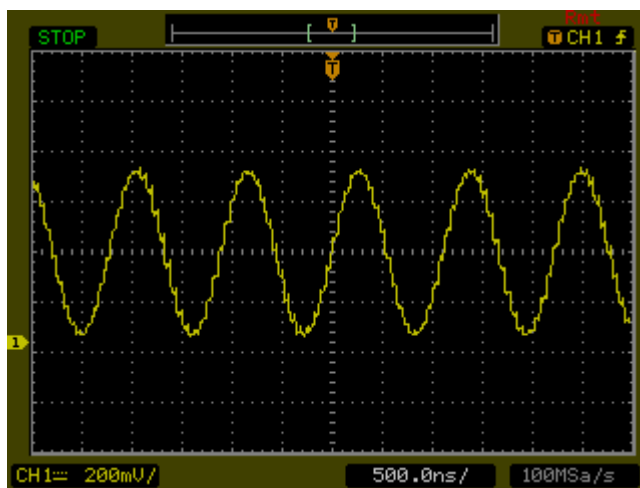
8 Analýza signálu

Nyní již je k dispozici funkční prototyp generátoru a zbývá posoudit kvalitu generovaného signálu. Právě touto problematikou se zabývá tato kapitola.

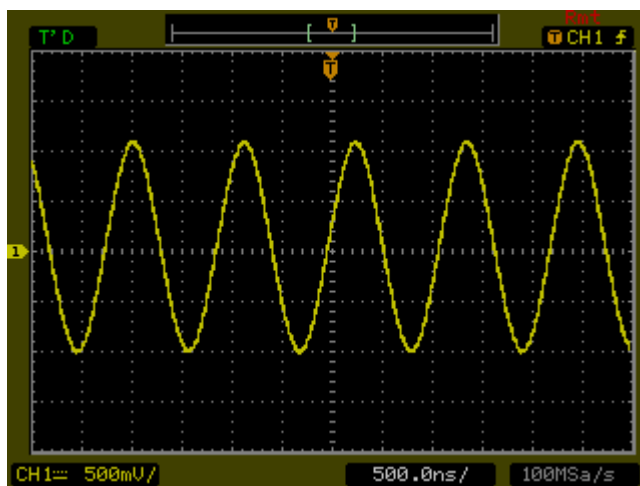
Ke kvalitativnímu hodnocení signálu můžeme přistupovat vzhledem k časové nebo frekvenční oblasti. K měření byly k dispozici dva osciloskopy a to DSO3000 a PDS6042S.

8.1 Kvalita signálu v časové oblasti

V časové oblasti je možné posuzovat tvar generovaného signálu. Pro názornost je na Obr. 74 zobrazen signál přímo za DDS obvodem a na Obr. 75 signál z výstupu generátoru, tedy za filtrem, který filtruje obrazy signálu způsobené DDS obvodem.



Obr. 74. Sinusový signál generovaný DDS obvodem

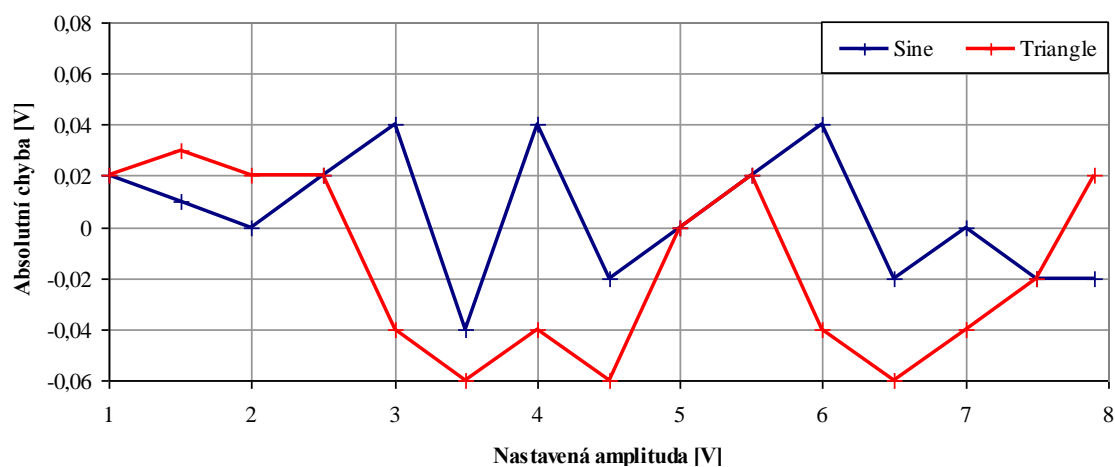


Obr. 75. Sinusový signál na výstupu generátoru

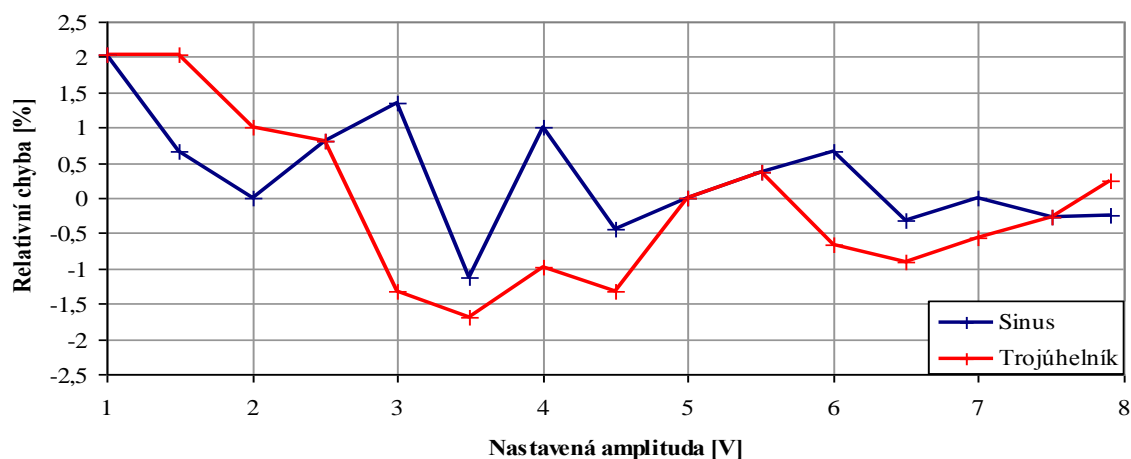
Na Obr. 74 je možné si všimnout toho, jak je signál tvarován tvarovačem, v našem případě D/A převodníkem. Aby bylo možné zřetelně zobrazit jednotlivé vzorky na osciloskopu je nastavená

generovaná frekvence na 900 kHz, čímž připadá na jednu periodu přibližně 19 hodnot. Na Obr. 75 již pak vzorky nejsou viditelné, protože je tento signál filtrován a neobsahuje obrazy signálu vzniklé v DDS obvodu.

Dále je provedeno měření přesnosti nastavené amplitudy. Postupně byla na generátoru nastavována amplituda od 1 V do 7,9 V a na osciloskopu PDS6042S se pro každou nastavenou hodnotu změřila její skutečná hodnota. Měření bylo provedeno pro frekvenci 1 kHz. Popis měření, naměřená data a příklad výpočtu jsou uvedeny v příloze. Na Obr. 76 je uvedená závislost absolutní chyby na nastavené amplitudě a na Obr. 77 je zobrazena závislost relativní chyby na nastavené amplitudě.



Obr. 76. Závislost absolutní chyby na nastavené amplitudě pro $f = 1$ kHz

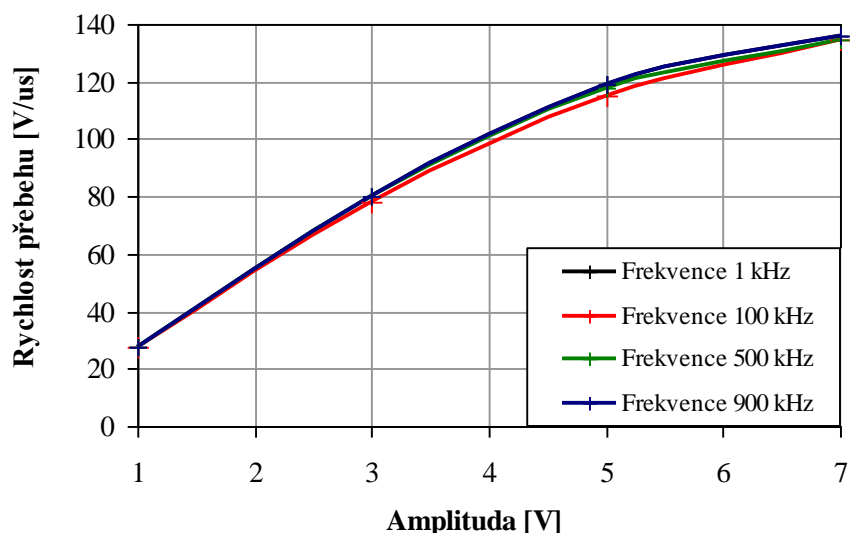


Obr. 77. Závislost relativní chyby na nastavené amplitudě pro $f = 1$ kHz

Z výše zobrazených průběhů chyb je zřejmé, že trojúhelníkový signál má mírně horší přesnost nastavené amplitudy. Ale i přesto ani u trojúhelníkového signálu nepřekročí relativní chyba 2 %.

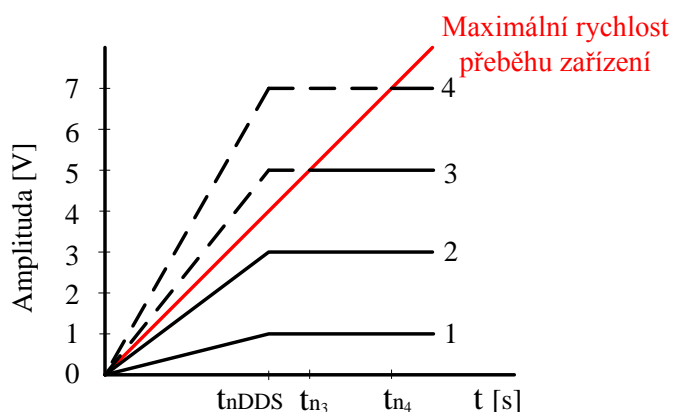
Velký podíl na tuto chybu má omezený počet hodnot digitálních potenciometrů. Jeden krok digitálního potenciometru odpovídá přibližně změně výstupního napětí o 80 mV, proto nelze zcela přesně nastavit celé hodnoty napětí.

U obdélníkového signálu se měřila doba náběhu, doba doběhu, velikost a délka překmitu čela. Celé měření je popsáno v odpovídající příloze a zde jsou uvedeny pouze závěry.



Obr. 78. Závislost rychlosti přeběhu (náběh) na amplitudě generovaného obdélníkového signálu

Na Obr. 78 je ukázána závislost rychlosti přeběhu na amplitudě pro náběh signálu (pro doběh jsou průběhy téměř totožné, viz příslušná příloha). Jak se dalo předpokládat, průběhy pro jednotlivé frekvence jsou téměř shodné. Na grafu je dále vidět, že s rostoucí amplitudou signálu rychlost přeběhu roste lineárně do cca 3 V a poté rychlost růstu klesá. Tento jev je vysvětlen na následujícím obrázku.



Obr. 79. Změna rychlosti náběhu na velikosti amplitudy

Představme si, že realizovaný generátor má jakousi maximální celkovou rychlost přeběhu, která je na Obr. 79 zobrazena červenou čarou. Dále si představme, že generovaný obdélníkový průběh DDS obvodem má také určitou rychlost přeběhu a za dobu t_{nDDS} dosáhne signál 90 % svého maxima. Pro různé zesílení by v ideálním případě tato doba měla být stejná, což platí pro průběhy 1 a 2. Pro průběhy 3 a 4 jsme již omezení maximální rychlostí přeběhu zařízení a dochází ke zkreslení signálu, doba náběhu se zvětší. V našem případě do amplitudy přibližně 3 V je situace obdobná jako pro ideální případ, ale pro vyšší amplitudy se již začíná projevovat omezení zařízení.

Překmit signálu je možné ovlivňovat změnou kompenzačních kapacit jednotlivých operačních zesilovačů, pro mnou zvolené kapacity je překmit pro obě polaridy signálu od amplitudy 5 V nulový, pro nižší napětí je překmit menší nebo roven 8,4 %.

8.2 Kvalita signálu ve frekvenční oblasti

Kvalitu signálu ve frekvenční oblasti lze vyjádřit pomocí frekvenčních spekter, které byly získány pomocí operace FFT, kterou disponuje osciloskop DSO3000. Naměřené spektra pro jednotlivé frekvence a amplitudy jsou zobrazeny v příloze, ukázka frekvenčních spekter pro frekvenci 1 kHz je zobrazena na Obr. 81.

Aby bylo možné kvalitu signálu posoudit, je pro každou měřenou frekvenci a amplitudu vypočtena hodnota THD, pomocí níž je možné generované signály porovnávat se signály z jiných generátorů.

Celkové harmonické zkreslení

THD je veličina definující zkreslení sinusového signálu. Název vychází z anglické zkratky Total Harmonic Distortion, což lze přeložit jako celkové harmonické zkreslení. Definuje se jako poměr součtu výkonů všech vyšších harmonických složek k výkonu základní harmonické. Čím nižší je THD, tím je signál frekvenčně čistější.

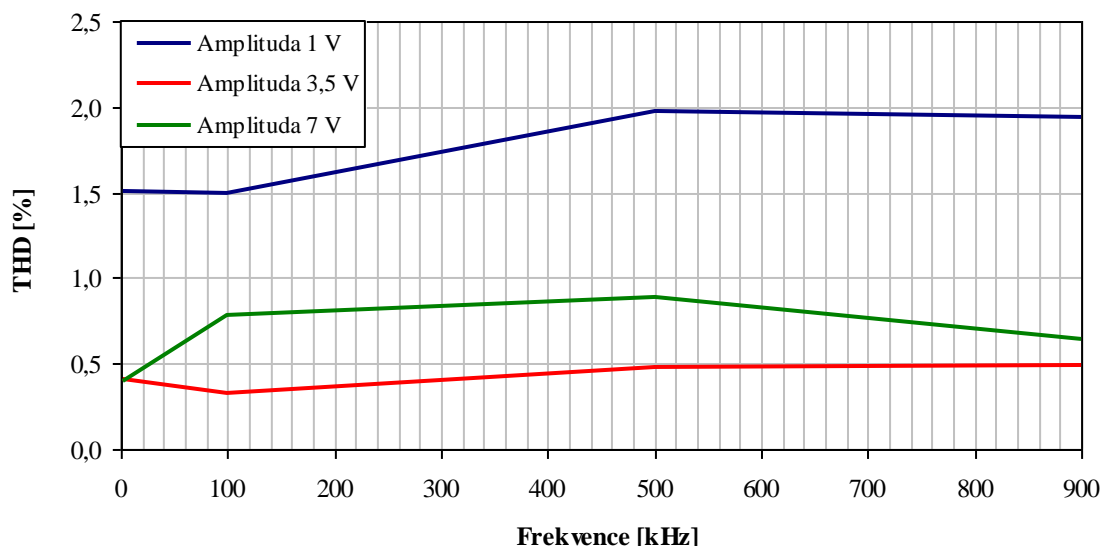
$$THD = \frac{\sum \text{výkon vyšších harmonických}}{\text{výkon základní harmonické}} = \frac{P_2 + P_3 + \dots + P_n}{P_1} \cdot 100 \quad [\%] \quad (61)$$

Pokud nás nezajímá THD výkonu, ale THD napětí, změní se definice následovně (62).

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1} \cdot 100 \quad [\%] \quad (62)$$

kde V_1, V_2, \dots, V_n jsou efektivní hodnoty amplitud jednotlivých harmonických.

Na Obr. 80 je zobrazena závislost celkového harmonického zkreslení pro tři hodnoty amplitudy (měřeno pro čtyři frekvence).



Obr. 80. Závislost THD na frekvenci a amplitudě

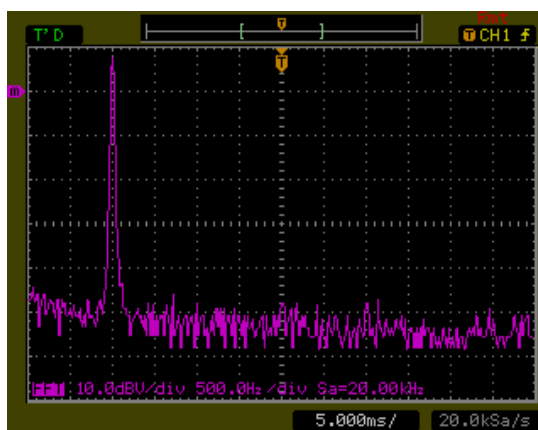
Pro signály jejíž amplituda je menší než cca 2,5 V generátor dosahuje poměrně horších hodnot celkového harmonického zkreslení, které však nepřesahuje 2 %. Toto zkreslení jak ukázalo měření, vzniká v druhém zesilovacím stupni.

Pro vyšší amplitudy je hodnota celkového zkreslení již pod 1 % a to v celé frekvenční oblasti.

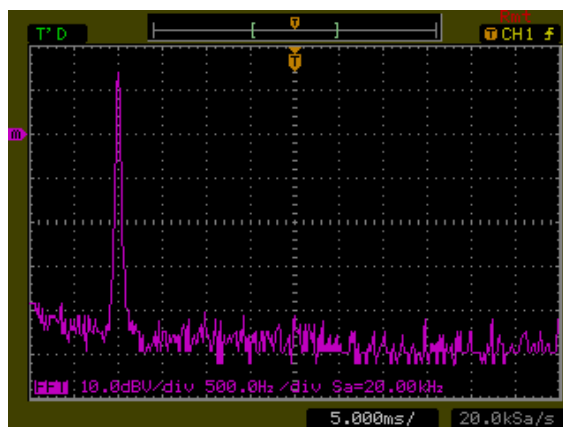
Vypočtené hodnoty celkového zkreslení jsou spíše orientační, jelikož k měření byl použit osciloskop, který není primárně určen k měření frekvenčního spektra signálu. Vhodnější řešení by bylo použití spektrálního analyzátoru.



a)



b)



c)

Obr. 81. Frekvenční spektra sinusového signálu 1 kHz

- a) amplituda 1 V
- b) amplituda 3,5 V
- c) amplituda 7 V

9 Závěr

Tato práce se zabývá metodami generování signálu, zvláště pak věnuje pozornost metodě zvané přímá digitální syntéza. Kromě teoretických poznatků o této metodě jako je její princip, frekvenční spektra, chyby a jejich namapování ve frekvenčním spektru či vliv D/A převodníku na výstupní spektrum je velká část práce věnována praktickému využití na příkladu realizace funkčního generátoru signálu, jehož jádrem je DDS obvod AD9833 od firmy Analog Devices.

K řízení celého zařízení je využit osmi bitový mikroprocesor PIC18F4550, který řídí DDS obvod, LCD displej, tlačítka, rotační kodér, zesílení signálu, stejnosměrnou složku signálu a USB komunikaci.

Kvůli usnadnění práce má aplikace v PC Help, který obsahuje všechny potřebné informace o programu, zařízení, registrech obvodu a modulacích. Pro jednoduchou instalaci aplikace je vytvořen jednoduchý instalační soubor pomocí služby Installer ve Visual Studiu 2005.

Propojení zařízení s PC se provádí pomocí sběrnice USB, což snižuje nároky na PC, jelikož oproti sériovému nebo paralelnímu portu jsou USB porty k dispozici téměř na všech PC a noteboocích. Ke komunikaci se na straně PC využívají ovladače, které jsou již k dispozici v operačním systému (platí pro Windows 2000, Windows XP, Windows Vista).

Aby se minimalizovala frekvenční závislost zesilovací struktury, je zesílení realizováno na základě napětím řízeného rezistoru, který je vhodně umístěn ve zpětnovazebním obvodu operačního zesilovače. Napětím řízený rezistor je vytvořen prostřednictvím unipolárního tranzistoru typu JFET. Toto řešení má uspokojivé vlastnosti. Jediný problém, který se objevil až po realizaci zařízení je teplotní závislost JFETu, se kterou se při návrhu nepočítalo, proto je výstupní napětí závislé na teplotě, což je nechtěné.

Jelikož má DDS obvod na výstupu zaručenou velikost napětí generovaného signálu, při realizaci se nezdálo potřebné zavádět do řídicí jednotky zpětnou vazbu s informací o amplitudě výstupního signálu, pokud by byla zavedena, tak by se tato tepelná závislost dala kompenzovat. Jedno z řešení problému je umístění JFETu do temperované komůrky se stálou teplotou.

Zařízení kromě generování signálu s proměnou frekvencí, amplitudou a stejnosměrnou složkou umožňuje uživateli pomocí aplikace v PC ovládat registry obvodu AD9833 a digitální potenciometry, studenti se tak mohou hlouběji seznámit s těmito obvody a prohloubit si znalosti o metodě přímé digitální syntézy.

Další užitečnou pomůckou ve výuce je možnost využít zařízení k modulaci signálu. Tato funkce je opět dostupná prostřednictvím aplikace v PC a poskytuje uživateli výběr z několika typů digitálních modulací. Podporované typy jsou ASK2, ASK4, PSK2, PSK4, FSK2 a FSK4. Uživatel si může tyto modulace nastavit přesně dle svých požadavků, je možné nastavovat jednotlivé stavy modulace, délku stavu, aplikace zobrazuje aktuální konstelaci modulace a je možné vyslat v jedné zprávě až 8 bytů. Díky tomuto se mohou generovat takové signály, aby je bylo možné zpracovávat pomocí měřících karet v PC, čímž se studentům otevírá další možnost seznámení se s digitálními modulacemi, které již pomalu začínají nahrazovat klasické analogové modulace.

Realizovaný generátor signálu disponuje těmito vlastnostmi: frekvenční rozsah signálu 0,25 Hz – 1 MHz, napěťový rozsah amplitudy signálu 1 V – 8 V, rozsah stejnosměrné

složky signálu $-5\text{ V} - 5\text{ V}$, maximální odebíraný proud 160 mA , maximální relativní chyba amplitudy 2% , maximální celkové harmonické zkreslení THD pro amplitudy menší jak $2,5\text{ V}$ je 2% , pro větší amplitudy je 1% .

Literatura

- [1] *A Technical Tutorial on Digital Signal Synthesis* [online]. c1999 [cit. 2009-07-10]. Dostupný z WWW: <http://www.analog.com/static/imported-files/tutorials/450968421DDS_Tutorial_rev12-2-99.pdf>.
- [2] ŠTORK, Milan. *Přímá digitální syntéza a její aplikace* [online]. [2003] [cit. 2009-07-10]. Dostupný z WWW: <vyuka.fel.zcu.cz/kae/+eln/DDS.PDF>.
- [3] *Integrované obvody pro přímou digitální syntézu frekvence* [online]. [2003] [cit. 2009-07-10]. Dostupný z WWW: <vyuka.fel.zcu.cz/kae/+eln/DDS_Ics.pdf>.
- [4] *Přímá číslicová syntéza kmitočtu* [online]. 1997-2009 [cit. 2003-07-10]. Dostupný z WWW: <<http://hw.cz/Teorie-a-praxe/Dokumentace/ART146-Prima-cislicova-synteza-kmitoctu-DDS---Direct-Digital-Synthesis.html>>.
- [6] *Design Tools: ADIsimDDS* [online]. 1995-2009 [cit. 2009-07-10]. Dostupný z WWW: <<http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>>.
- [7] POKORNÝ, Miroslav, NEVŘIVA, Pavel, ŠVÍGLER, Jan. *ELEKTRONICKÁ MĚŘENÍ A PŘÍSTROJE*. [s.l.] : [s.n.], 2005. s. 1
- [8] *DataSheet AD9833* [online]. [cit. 2009-07-10]. Dostupný z WWW: <http://www.analog.com/static/imported-files/Data_Sheets/AD9833.pdf>.
- [9] *FETs as Voltage-Controlled Resistors* [online]. [1997] [cit. 2009-20-12]. Dostupný z WWW: <<http://www.datasheetcatalog.org/datasheet/vishay/70598.pdf>>.
- [10] *Design ideas: Improve FET-based gain control* [online]. [1997] [cit. 2009-20-12]. Dostupný z WWW: <<http://www.edn.com/filtered/pdfs/contents/images/120601di.pdf>>.
- [11] *LC Filter Design* [online]. [cit. 2009-20-12]. Dostupný z WWW: <<http://www-users.cs.york.ac.uk/~fisher/lcfilter/>>.
- [12] *DataSheet AD8021* [online]. [cit. 2009-07-10]. Dostupný z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD8021.pdf>.
- [13] *DataSheet AD5290* [online]. [cit. 2009-07-10]. Dostupný z WWW: <http://www.analog.com/static/imported-files/data_sheets/AD5290.pdf>.

- [14] *Power supply noise reduction and filtering* [online]. [cit. 2009-07-10].
Dostupný z WWW: <http://www.analog.com/static/imported-files/seminars_webcasts/36710482603117527507217348021sect7b.pdf>.
- [15] *DataSheet MC33166* [online]. [2005] [cit. 2009-07-10].
Dostupný z WWW: <http://www.onsemi.com/pub_link/Collateral/MC34166-D.PDF>.
- [16] *Universal Serial Bus* [online]. [cit. 2009-03-09].
Dostupný z WWW: <<http://www.usb.org/developers>>.
- [17] BURKHARD , Kainka. *USB : měření, řízení a regulace pomocí sběrnice USB*. Iveta Kubicová; Václav Losík. 1. vyd. Praha : BEN - technická literatura, 2002. 248 s. ISBN 80-7300-073-3.
- [18] *USB 2.0 : díl 2* [online]. 1997-2009 [cit. 2009-03-09].
Dostupný z WWW: <<http://hw.cz/Rozhrani/ART1244-USB-2.0---dil-2.html>>.
- [19] *Universal Serial Bus* [online]. 2002 [cit. 2009-03-09].
Dostupný z WWW: <http://cs.wikipedia.org/wiki/Universal_Serial_Bus>.
- [20] *Microchip* [online]. 2008 [cit. 2009-03-14].
Dostupný z WWW: <<http://www.microchip.com/>>.
- [21] *Modulace* [online]. 2002 , 2. 8. 2009 [cit. 2009-09-04].
Dostupný z WWW: <<http://cs.wikipedia.org/wiki/Modulace>>.
- [22] *Modulace signálů a jejich vliv na spektrum signálu* [online]. c2007 [cit. 2009-09-04].
Dostupný z WWW: <<http://modulace.ic.cz/teorie.html>>
- [23] SÝKORA , Jan. *Teorie digitální modulace*, Praha ČVUT 2005. 329 s. ISBN 80-01-02478-4.
- [24] *Ovládání znakových LCD s řadičem HD44780* [online]. 2007 [cit. 2009-05-06].
Dostupný z WWW: <<http://elektronika.kvalitne.cz/ATMEL/necoteorie/LCDmatice.html>>.
- [25] *Znakové LCD displeje* [online]. c1998-2008 [cit. 2009-05-06].
Dostupný z WWW: <<http://www.cmail.cz/doveda/lcd/index.htm>>.

Seznam příloh

- Příloha I** – Měření obdélníkového signálu v časové oblasti
- Příloha II** – Měření amplitudy signálu
- Příloha III** – Měření celkového harmonického zkreslení
- Příloha IV** – Schéma a plošný spoj základní desky generátoru
- Příloha V** – Schéma a plošný spoj rozšiřující desky generátoru
- Příloha VI** – Seznam součástek pro základní desku generátoru
- Příloha VII** – Seznam součástek pro rozšiřující desku generátoru
- Příloha VIII** – Fotografie zařízení

Seznam elektronických příloh

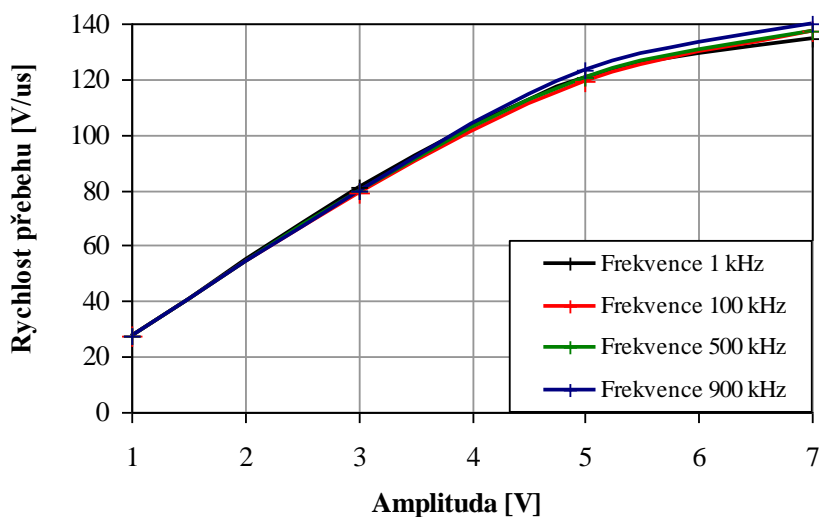
- Příloha I** – Help k PC aplikaci
- Příloha II** – Instalace zařízení
- Příloha III** – PC software DDS Generátor + konfigurační soubor + firmware pro mikroprocesor
- Příloha IV** – Přehled DDS obvodů
- Příloha V** – Konfigurační registr
- Příloha VI** – Desky plošných spojů + schémata (EAGLE 5.0.0)
- Příloha VII** – Komunikační protokol PC - mikroprocesor
- Příloha VIII** – Propis programátoru / debuggru PicKit2 Clone

Příloha I

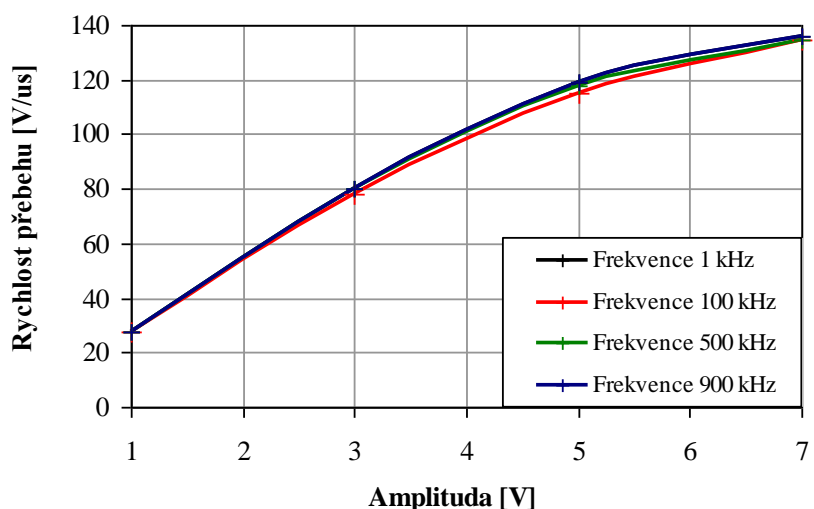
Měření obdélníkového signálu v časové oblasti

Cílem měření je změření doby náběhu / doběhu a překmitu signálu. Měření bylo prováděno pomocí osciloskopu DSO3000. Doba náběhu a doběhu byla měřena pomocí funkce Measure Rise / Fall Time, ostatní hodnoty jsou odečteny přímo z rastru osciloskopu. Naměřené hodnoty jsou zobrazeny v Tab. 12.

Pro lepší názornost jsou vypracovány grafické závislosti rychlosti přeběhu (náběžné i sestupné hrany) na nastavené amplitudě pro jednotlivé frekvence. Měření bylo provedeno pro čtyři různé frekvence a čtyři úrovně amplitud. Tyto závislosti jsou zobrazeny na Obr. 82 a Obr. 83.



Obr. 82. Závislost rychlosti přeběhu na amplitudě generovaného obdélníku – náběh



Obr. 83. Závislost rychlosti přeběhu na amplitudě generovaného obdélníku – doběh

Z obrázků je vidět, že průběhy pro náběh i doběh jsou téměř shodné, což platí i pro jednotlivé frekvence. Takováto shodnost průběhů dokazuje, že generátor pracuje shodně pro celý frekvenční a amplitudový rozsah, což je žádaný stav.

Příklad výpočtu pro zelený řádek

Rychlost přeběhu – Náběh

$$SRn = \frac{U}{t_n} = \frac{3}{77 \cdot 10^{-9}} = 38,96 \text{ IV} / \mu\text{s}$$

Rychlost přeběhu – Doběh

$$SRd = \frac{U}{t_d} = \frac{3}{76 \cdot 10^{-9}} = 39,474 \text{ V} / \mu\text{s}$$

Puls + – Překmit [%]

$$\Delta A_{\%} = \frac{\Delta A}{A_{\max}} \cdot 100 = \frac{0,2}{3} \cdot 100 = 6,67\%$$

Puls - – Překmit [%]

$$\Delta A_{\%} = \frac{\Delta A}{A_{\max}} \cdot 100 = \frac{0,16}{3} \cdot 100 = 5,33\%$$

Tab. 12. Tabulka naměřených hodnot

| Amplituda | Frekvence | Náběh | Doběh | Rychlost přeběhu | | Puls + | | | Puls - | | | Aritmetický průměr | |
|-----------|-----------|-------|-------|------------------|--------|---------|------|----------------|---------|------|----------------|--------------------|-------|
| | | | | Náběh | Doběh | Překmit | | Délka překmitu | Překmit | | Délka překmitu | Náběh | Doběh |
| [V] | [kHz] | [ns] | [ns] | [V/us] | [V/us] | [mV] | [%] | [ns] | [mV] | [%] | [ns] | [ns] | [ns] |
| 1 | 1 | 73 | 72 | 13,699 | 13,889 | 80 | 8 | 92 | 84 | 8,4 | 100 | 72,5 | 72,25 |
| | 100 | 72 | 72 | 13,889 | 13,889 | 80 | 8 | 90 | 80 | 8 | 82 | | |
| | 500 | 73 | 73 | 13,699 | 13,699 | 80 | 8 | 96 | 80 | 8 | 84 | | |
| | 900 | 72 | 72 | 13,889 | 13,889 | 80 | 8 | 88 | 80 | 8 | 100 | | |
| 3 | 1 | 75 | 74 | 40 | 40,541 | 160 | 5,33 | 60 | 160 | 5,33 | 60 | 75,5 | 75 |
| | 100 | 77 | 76 | 38,961 | 39,474 | 200 | 6,67 | 60 | 160 | 5,33 | 66 | | |
| | 500 | 75 | 75 | 40 | 40 | 200 | 6,67 | 66 | 200 | 6,67 | 70 | | |
| | 900 | 75 | 75 | 40 | 40 | 200 | 6,67 | 78 | 240 | 8,00 | 70 | | |
| 5 | 1 | 84 | 83 | 59,524 | 60,241 | 0 | 0 | 0 | 0 | 0 | 0 | 85 | 82,75 |
| | 100 | 87 | 84 | 57,471 | 59,524 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| | 500 | 85 | 83 | 58,824 | 60,241 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| | 900 | 84 | 81 | 59,524 | 61,728 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| 7 | 1 | 103 | 104 | 67,961 | 67,308 | 0 | 0 | 0 | 0 | 0 | 0 | 103,5 | 102 |
| | 100 | 104 | 102 | 67,308 | 68,627 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| | 500 | 104 | 102 | 67,308 | 68,627 | 0 | 0 | 0 | 0 | 0 | 0 | | |
| | 900 | 103 | 100 | 67,961 | 70 | 0 | 0 | 0 | 0 | 0 | 0 | | |

Příloha II

Měření amplitudy signálu

Cílem měření je zjistit přesnost nastavené amplitudy. Pro měření je k dispozici osciloskop PDS6042S. Měření se provádělo pro frekvenci 1 kHz a po nastavení příslušné hodnoty na displeji zařízení se odečte hodnota amplitudy z osciloskopu. Pro lepší názornost jsou vypracovány průběhy závislosti chyb na amplitudě pro oba měřené signály.

Tab. 13. Tabulka naměřených hodnot pro sinusový průběh

| Nastavená amplituda | Naměřená amplituda | Absolutní chyba | Relativní chyba | Relativní chyba |
|---------------------|--------------------|-----------------|-----------------|-----------------|
| [V] | [V] | [V] | [-] | [%] |
| 1 | 0,98 | -0,02 | -0,02 | -2 |
| 1,5 | 1,49 | -0,01 | -0,0067 | -0,67 |
| 2 | 2 | 0 | 0 | 0 |
| 2,5 | 2,48 | -0,02 | -0,008 | -0,8 |
| 3 | 2,96 | -0,04 | -0,0133 | -1,33 |
| 3,5 | 3,54 | 0,04 | 0,0114 | 1,14 |
| 4 | 3,96 | -0,04 | -0,01 | -1 |
| 4,5 | 4,52 | 0,02 | 0,0044 | 0,44 |
| 5 | 5 | 0 | 0 | 0 |
| 5,5 | 5,48 | -0,02 | -0,0036 | -0,36 |
| 6 | 5,96 | -0,04 | -0,0067 | -0,67 |
| 6,5 | 6,52 | 0,02 | 0,0031 | 0,31 |
| 7 | 7 | 0 | 0 | 0 |
| 7,5 | 7,52 | 0,02 | 0,0027 | 0,27 |
| 7,9 | 7,92 | 0,02 | 0,0025 | 0,25 |

Příklad výpočtu pro zelený řádek

Absolutní chyba

$$\Delta A = X_n - X_s = 4,5 - 4,52 = -0,02V$$

Relativní chyba

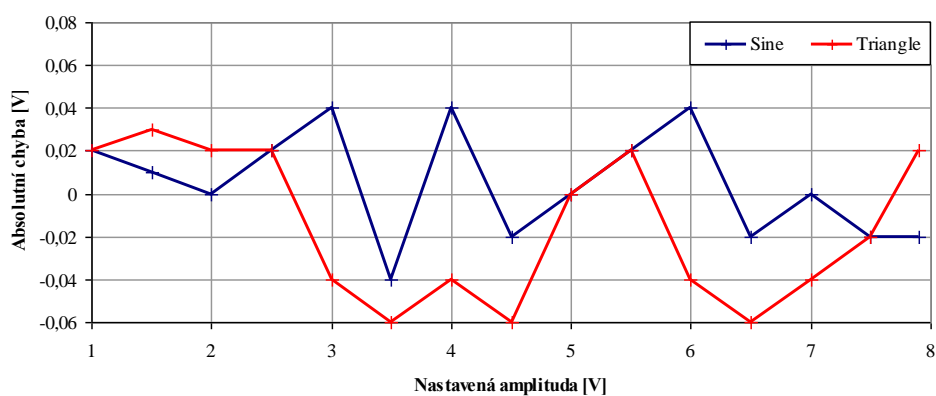
$$\delta = \frac{\Delta A}{X_s} = \frac{-0,02}{4,52} = -0,00442$$

Relativní chyba v procentech

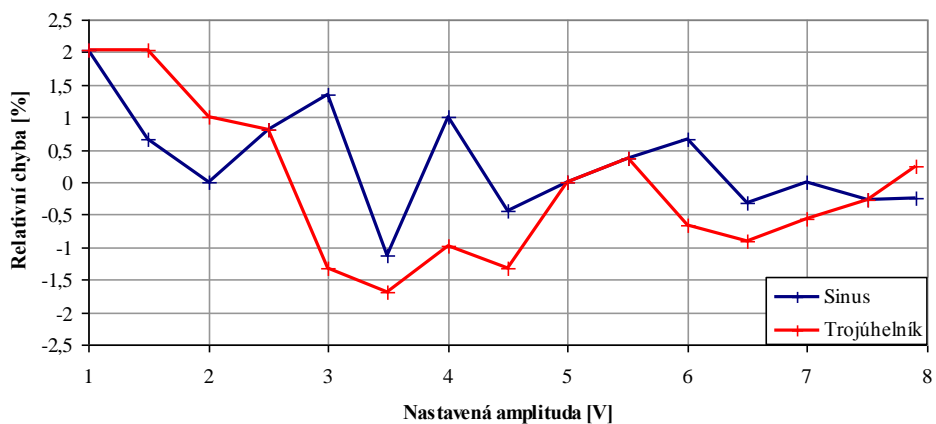
$$\delta_{\%} = \delta \cdot 100 = -0,00442 \cdot 100 = -0,44\%$$

Tab. 14. Tabulka naměřených hodnot pro trojúhelníkový průběh

| Nastavená amplituda | Naměřená amplituda | Absolutní chyba | Relativní chyba | Relativní chyba |
|---------------------|--------------------|-----------------|-----------------|-----------------|
| [V] | [V] | [V] | [-] | [%] |
| 1 | 0,98 | 0,02 | 0,0204 | 2,04 |
| 1,5 | 1,47 | 0,03 | 0,0204 | 2,04 |
| 2 | 1,98 | 0,02 | 0,0101 | 1,01 |
| 2,5 | 2,48 | 0,02 | 0,0081 | 0,81 |
| 3 | 3,04 | -0,04 | -0,0132 | -1,32 |
| 3,5 | 3,56 | -0,06 | -0,0169 | -1,69 |
| 4 | 4,04 | -0,04 | -0,0099 | -0,99 |
| 4,5 | 4,56 | -0,06 | -0,0132 | -1,32 |
| 5 | 5 | 0 | 0 | 0 |
| 5,5 | 5,48 | 0,02 | 0,0036 | 0,36 |
| 6 | 6,04 | -0,04 | -0,0066 | -0,66 |
| 6,5 | 6,56 | -0,06 | -0,0091 | -0,91 |
| 7 | 7,04 | -0,04 | -0,0057 | -0,57 |
| 7,5 | 7,52 | -0,02 | -0,0027 | -0,27 |
| 7,9 | 7,88 | 0,02 | 0,0025 | 0,25 |



Obr. 84. Závislost absolutní chyby na nastavené amplitudě pro $f = 1$ kHz



Obr. 85. Závislost relativní chyby na nastavené amplitudě pro $f = 1$ kHz

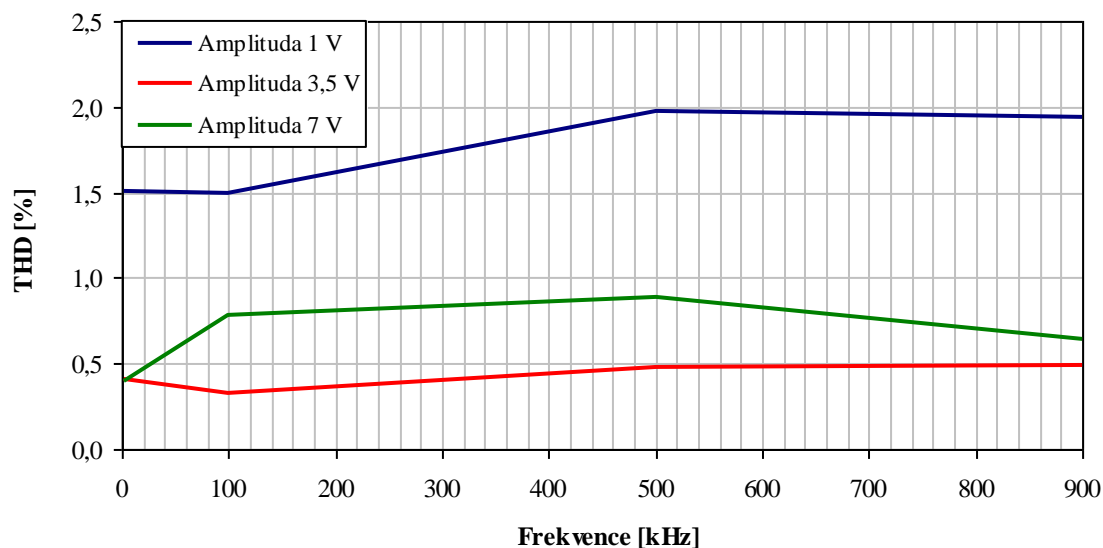
Z výše zobrazených průběhů chyb je zřejmé, že trojúhelníkový signál má mírně horší přesnost nastavené amplitudy. Ale i přesto ani u trojúhelníkového signálu nepřekročí relativní chyba 2 %.

Velký podíl na tuto chybu má omezený počet hodnot digitálních potenciometrů. Jeden krok digitálního potenciometru odpovídá přibližně změně výstupního napětí o 80 mV, proto nelze zcela přesně nastavit celé hodnoty napětí.

Příloha III

Měření celkového harmonického zkreslení

Cílem tohoto měření je zjistit kvalitu generovaného sinusového signálu. Kvalita signálu je zde posuzována pomocí parametru celkového harmonického zkreslení. Na Obr. 86 je zobrazena závislost celkového harmonického zkreslení na frekvenci pro různé hodnoty amplitudy.



Obr. 86. Závislost THD na frekvenci a amplitudě

Pro signály jejíž amplituda je menší než cca 2,5 V generátor dosahuje poměrně horších hodnot celkového harmonického zkreslení, které však nepřesahuje 2 %. Toto zkreslení jak ukázalo měření, vzniká v druhém zesilovacím stupni. Pro vyšší amplitudy je hodnota celkového zkreslení již pod 1 % a to v celé frekvenční oblasti. V Tab. 15 jsou uvedeny naměřená data.

Tab. 15. Tabulka naměřených hodnot

| Amplituda | Frekvence | Úrovně jednotlivých harmonických | | | | | | Amplitudy jednotlivých harmonických | | | | | | THD | THD | Aritmetický průměr THD |
|-----------|-----------|----------------------------------|----------------|----------------|----------------|----------------|----------------|-------------------------------------|----------------|----------------|----------------|----------------|----------------|--------|-------|------------------------|
| | | f ₁ | f ₂ | f ₃ | f ₄ | f ₅ | f ₆ | V ₁ | V ₂ | V ₃ | V ₄ | V ₅ | V ₆ | | | |
| [V] | [kHz] | [dB] | [dB] | [dB] | [dB] | [dB] | [dB] | [V] | [V] | [V] | [V] | [V] | [V] | [-] | [%] | [%] |
| 1 | 1 | -2,8 | -50 | -40 | -54,8 | -55,2 | -55,3 | 0,7244 | 0,0032 | 0,0100 | 0,0018 | 0,0017 | 0,0017 | 0,0151 | 1,508 | 1,729 |
| | 100 | -2,8 | -46 | -41,2 | -54,3 | -50,4 | -54,4 | 0,7244 | 0,0050 | 0,0087 | 0,0019 | 0,0030 | 0,0019 | 0,0150 | 1,496 | |
| | 500 | -2,8 | -42,8 | -39,2 | -51,6 | -47,6 | -51,2 | 0,7244 | 0,0072 | 0,0110 | 0,0026 | 0,0042 | 0,0028 | 0,0197 | 1,974 | |
| | 900 | -2,8 | -42,8 | -38,8 | -53,6 | -53,6 | -54 | 0,7244 | 0,0072 | 0,0115 | 0,0021 | 0,0021 | 0,0020 | 0,0194 | 1,938 | |
| 3 | 1 | 8 | -43,6 | -43,6 | -50,4 | -52,8 | 53,6 | 2,5119 | 0,0066 | 0,0066 | 0,0030 | 0,0023 | 0,0021 | 0,0041 | 0,410 | 0,428 |
| | 100 | 8 | -46,8 | -46,8 | -50,4 | -50,4 | -50,4 | 2,5119 | 0,0046 | 0,0046 | 0,0030 | 0,0030 | 0,0030 | 0,0033 | 0,331 | |
| | 500 | 8 | -44,4 | -44 | -46,8 | -46,8 | -46 | 2,5119 | 0,0060 | 0,0063 | 0,0046 | 0,0046 | 0,0050 | 0,0048 | 0,476 | |
| | 900 | 8 | -42,8 | -45,2 | -46 | -45,2 | -48 | 2,5119 | 0,0072 | 0,0055 | 0,0050 | 0,0055 | 0,0040 | 0,0049 | 0,494 | |
| 5 | 1 | 14 | -41,6 | -39,2 | -39,2 | -44 | -44,2 | 5,0119 | 0,0083 | 0,0110 | 0,0110 | 0,0063 | 0,0062 | 0,0039 | 0,393 | 0,676 |
| | 100 | 14 | -33,6 | -35,6 | -35,6 | -35,6 | -35,6 | 5,0119 | 0,0209 | 0,0166 | 0,0166 | 0,0166 | 0,0166 | 0,0078 | 0,783 | |
| | 500 | 14 | -32,4 | -35,2 | -32,2 | -36 | -36 | 5,0119 | 0,0240 | 0,0174 | 0,0245 | 0,0158 | 0,0158 | 0,0089 | 0,888 | |
| | 900 | 14 | -32,2 | -36 | -49,3 | -40 | -42,2 | 5,0119 | 0,0245 | 0,0158 | 0,0034 | 0,0100 | 0,0078 | 0,0064 | 0,639 | |

Příklad výpočtu pro zelený řádek

Amplituda první harmonické

$$V_1 = 10^{\frac{f_1}{20}} = 10^{\frac{-2,8}{20}} = 0,7244V$$

Amplituda druhé harmonické

$$V_2 = 10^{\frac{f_2}{20}} = 10^{\frac{-42,8}{20}} = 0,0072V$$

Amplituda třetí harmonické

$$V_3 = 10^{\frac{f_3}{20}} = 10^{\frac{-39,2}{20}} = 0,011V$$

Amplituda čtvrté harmonické

$$V_4 = 10^{\frac{f_4}{20}} = 10^{\frac{-51,6}{20}} = 0,0026V$$

Amplituda páté harmonické

$$V_5 = 10^{\frac{f_5}{20}} = 10^{\frac{-47,6}{20}} = 0,0042V$$

Amplituda šesté harmonické

$$V_6 = 10^{\frac{f_6}{20}} = 10^{\frac{-51,2}{20}} = 0,0028V$$

Celkové harmonické zkreslení

$$THD = \sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2} / V_1 =$$

$$= \sqrt{0,0072^2 + 0,011^2 + 0,0026^2 + 0,0042^2 + 0,0028^2} / 0,7244 = 0,0197$$

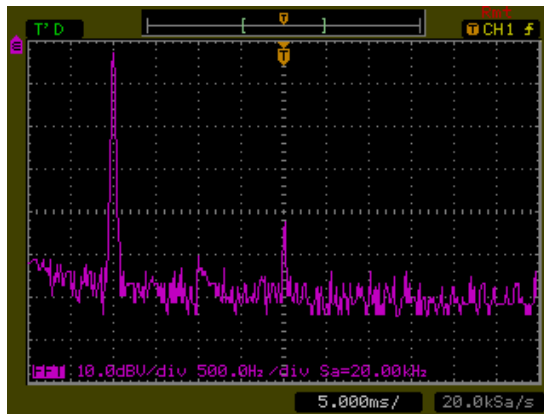
Celkové harmonické zkreslení v procentech

$$THD_{\%} = THD \cdot 100 = 0,0197 \cdot 100 = 1,97\%$$

Aritmetický průměr THD

$$average = \frac{1,508 + 1,496 + 1,974 + 1,938}{4} = 1,729\%$$

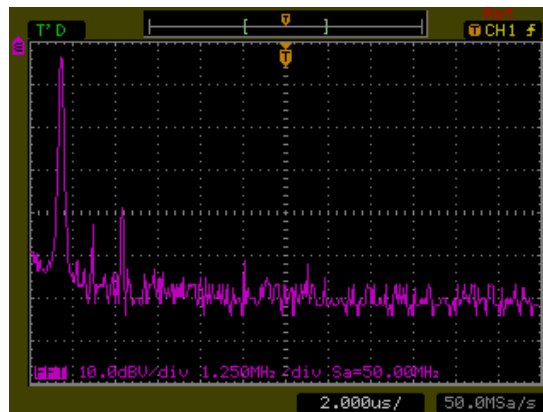
Ukázky naměřených spekter



a)



b)



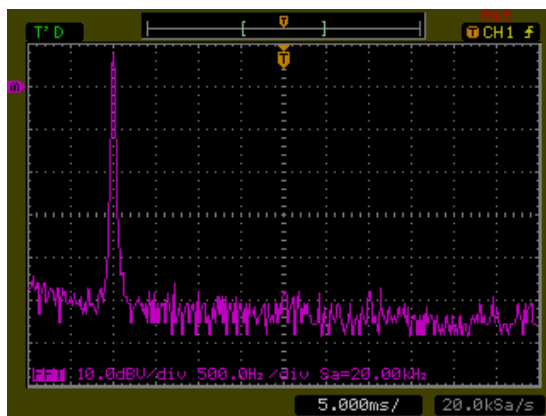
c)

Obr. 87. Frekvenční spektra sinusového signálu o amplitudě 1 V

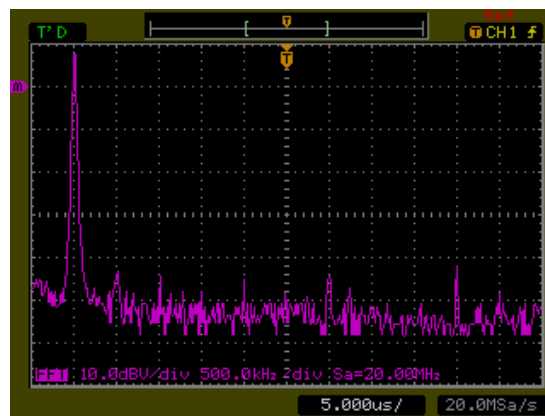
a) frekvence 1 kHz

b) frekvence 500 kHz

c) frekvence 900 kHz



a)



b)



c)

Obr. 88. Frekvenční spektra sinusového signálu o amplitudě 3,5 V

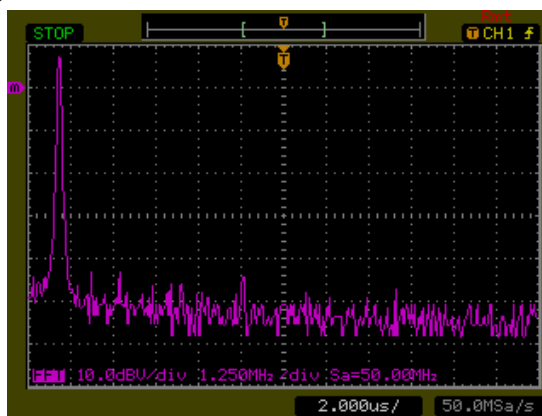
- a) frekvence 1 kHz
- b) frekvence 500 kHz
- c) frekvence 900 kHz



a)



b)



c)

Obr. 89 Frekvenční spektra sinusového signálu o amplitudě 7 V

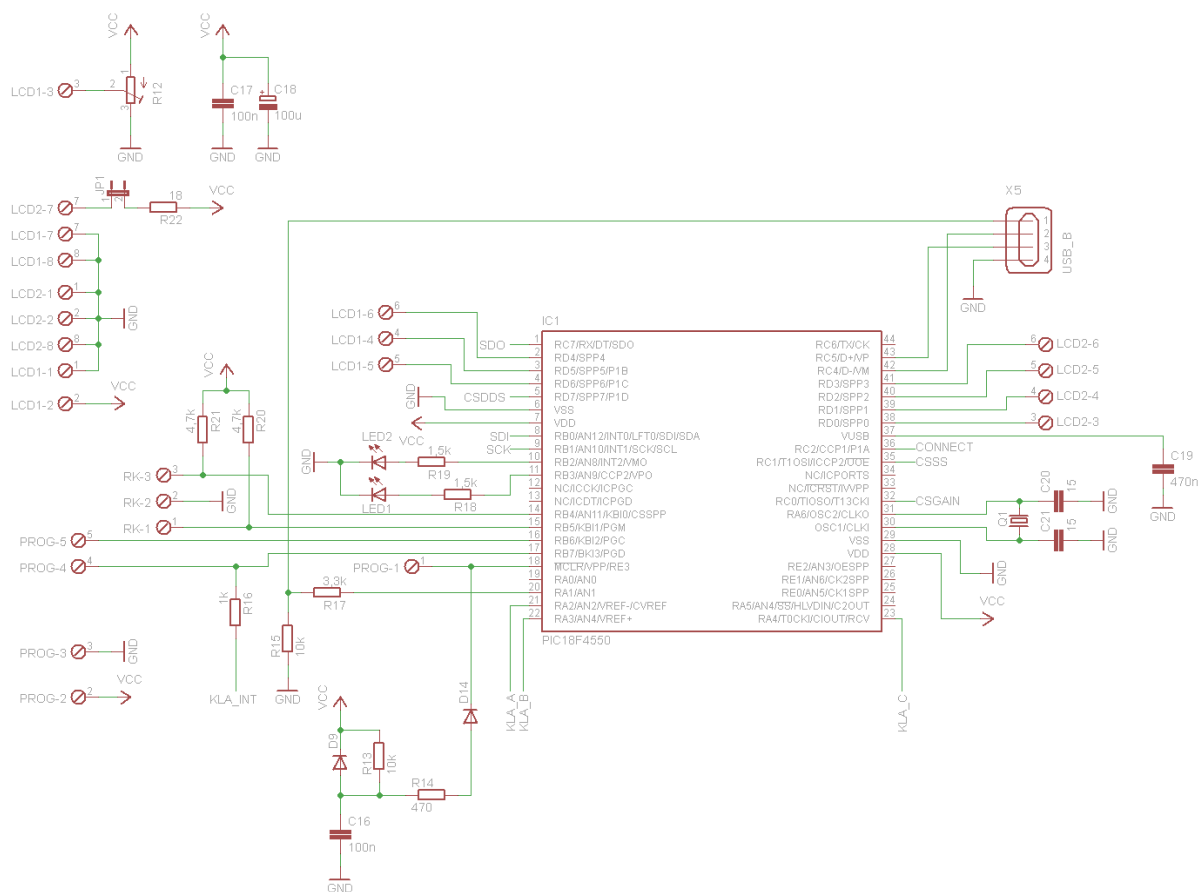
a) frekvence 1 kHz

b) frekvence 500 kHz

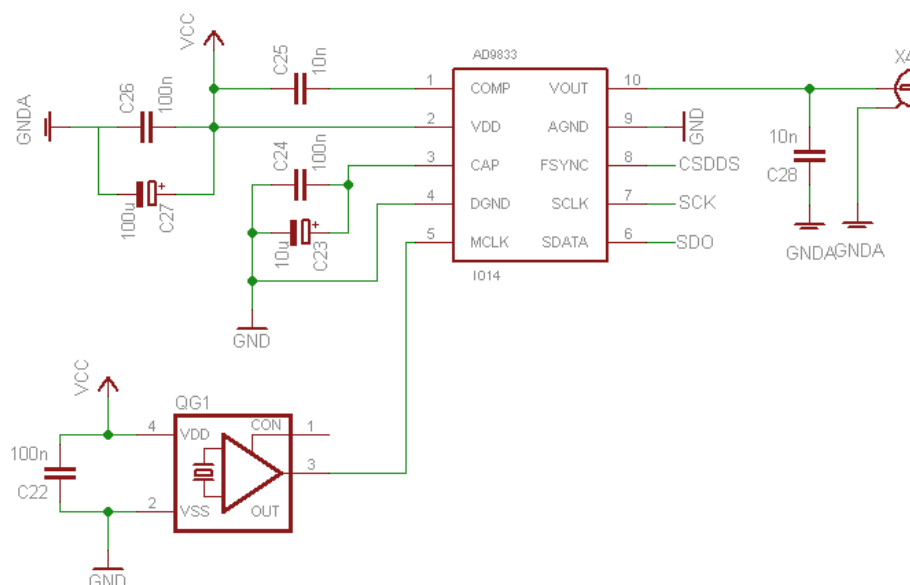
c) frekvence 900 kHz

Příloha IV

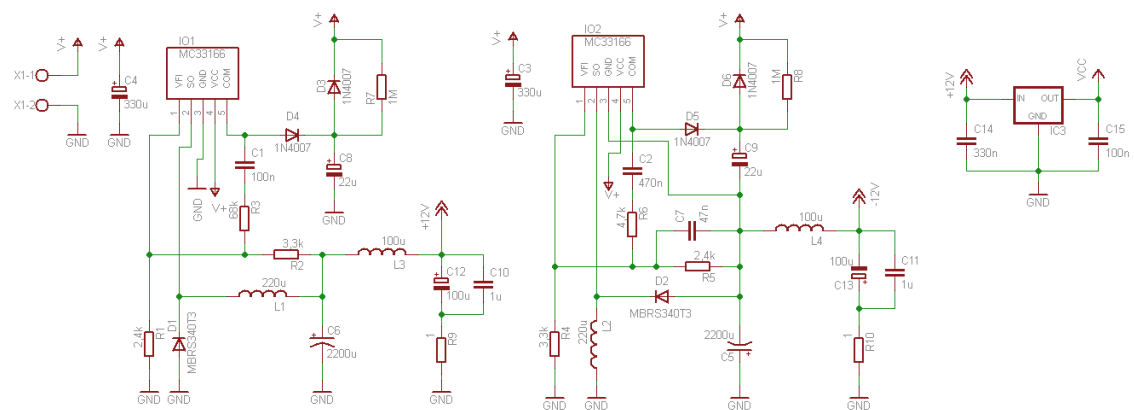
Schéma a plošný spoj základní desky generátoru



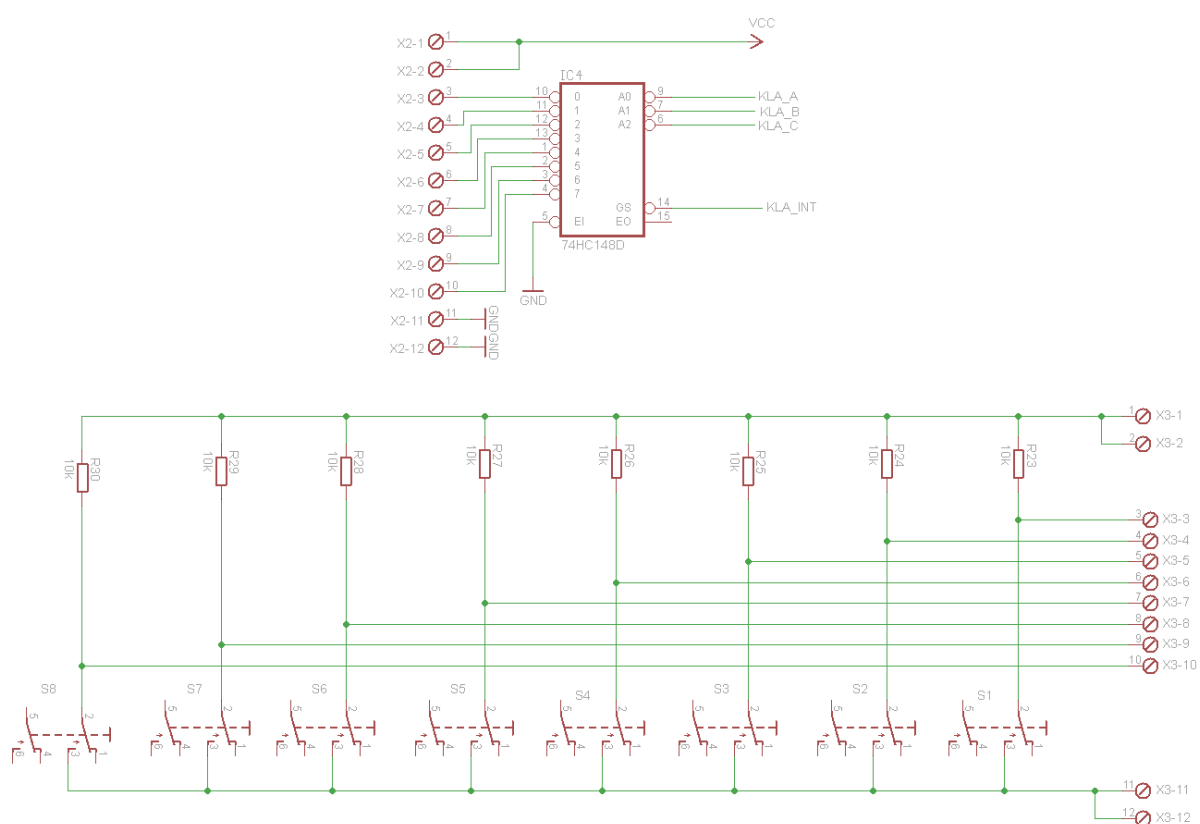
Obr. 90. Schéma řídicí části



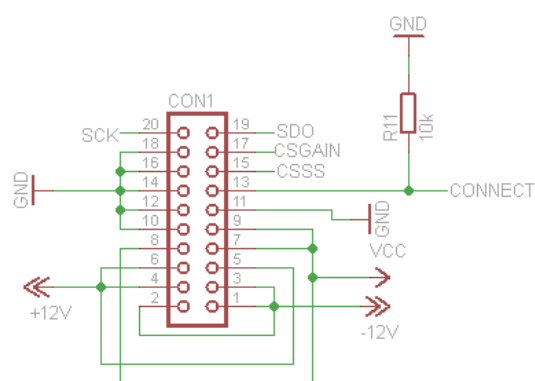
Obr. 91. Zapojení DDS obvodu



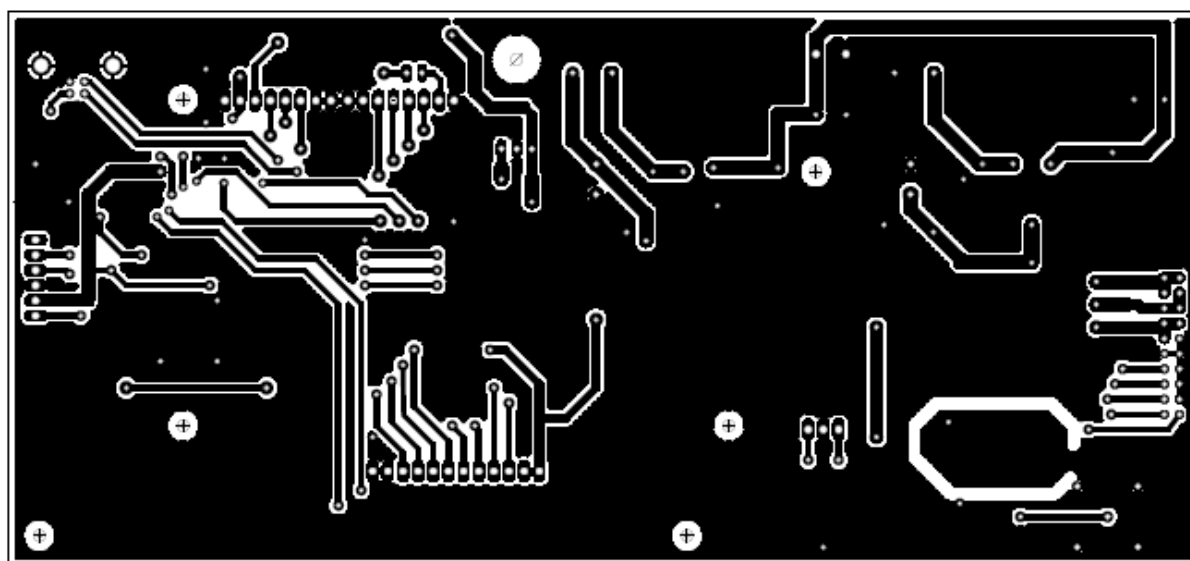
Obr. 92. Schéma napájecí části



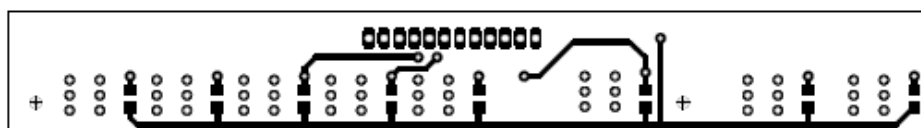
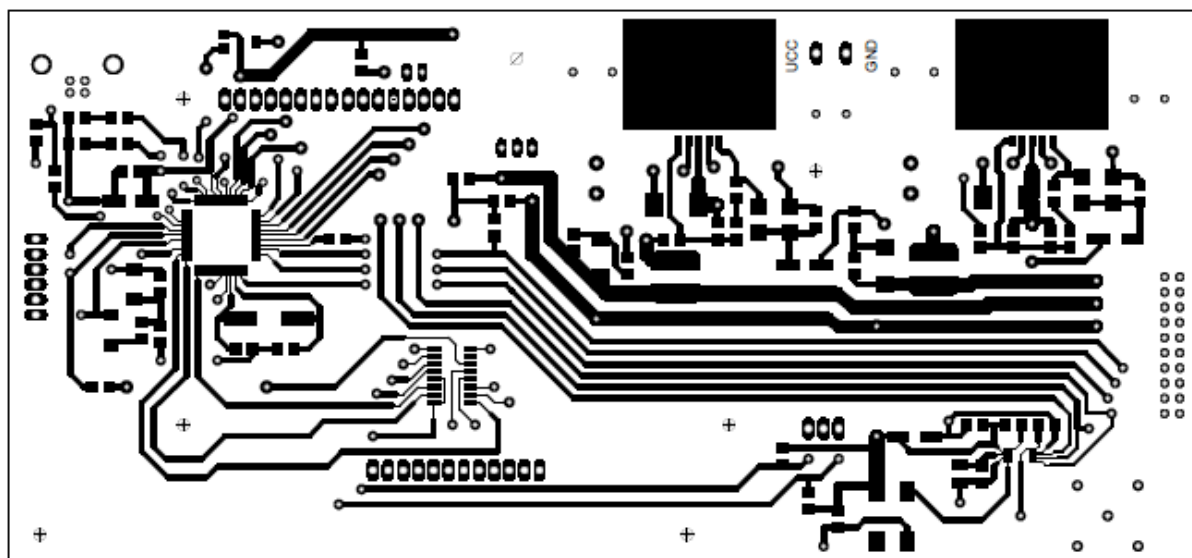
Obr. 93. Schéma zapojení tlačítek



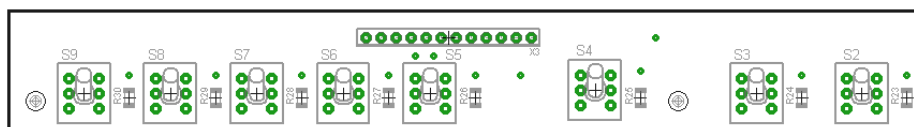
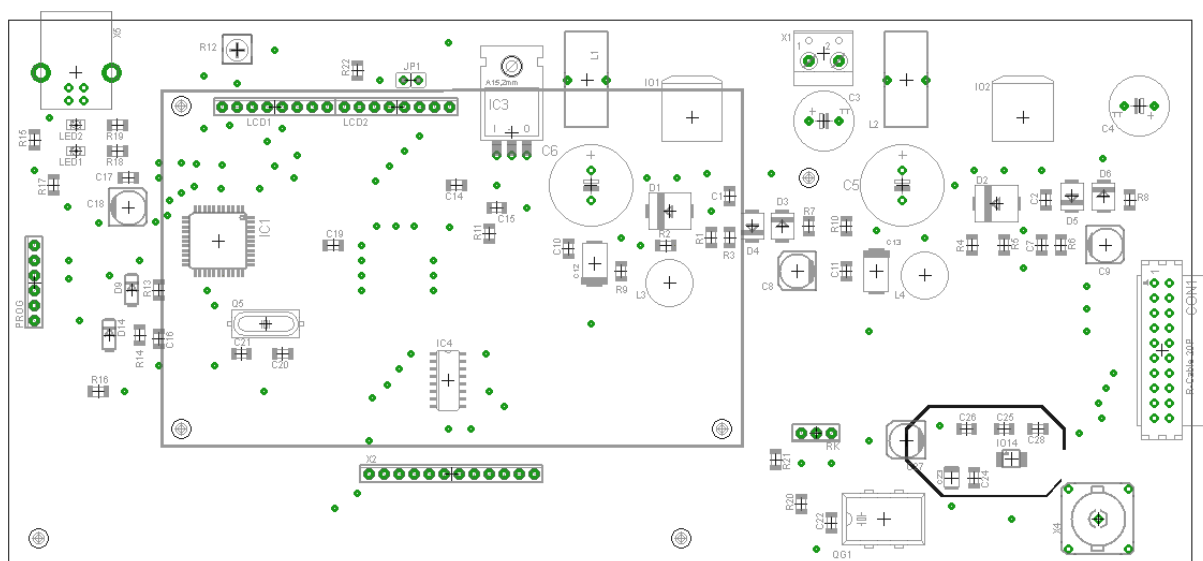
Obr. 94. Zapojení konektoru



Obr. 95. Deska plošného spoje Button (velká deska 200 mm x 92,7 mm, malá deska 154 mm x 20mm)



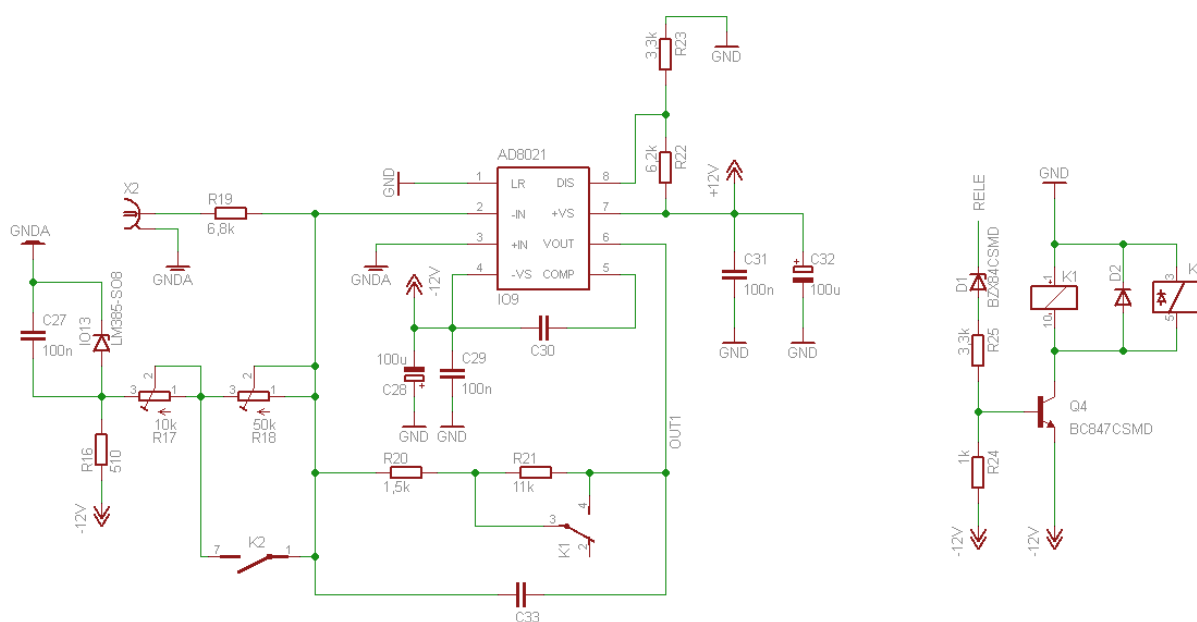
Obr. 96. Deska plošného spoje Top (velká deska 200 mm x 92,7 mm,
malá deska 154 mm x 20mm)



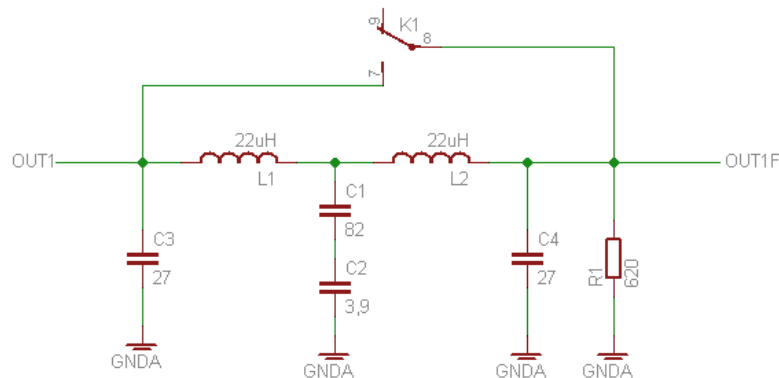
Obr. 97. Osazovací plán

Příloha V

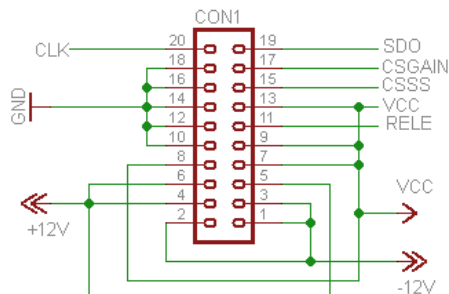
Schéma a plošný spoj rozšiřující desky generátoru



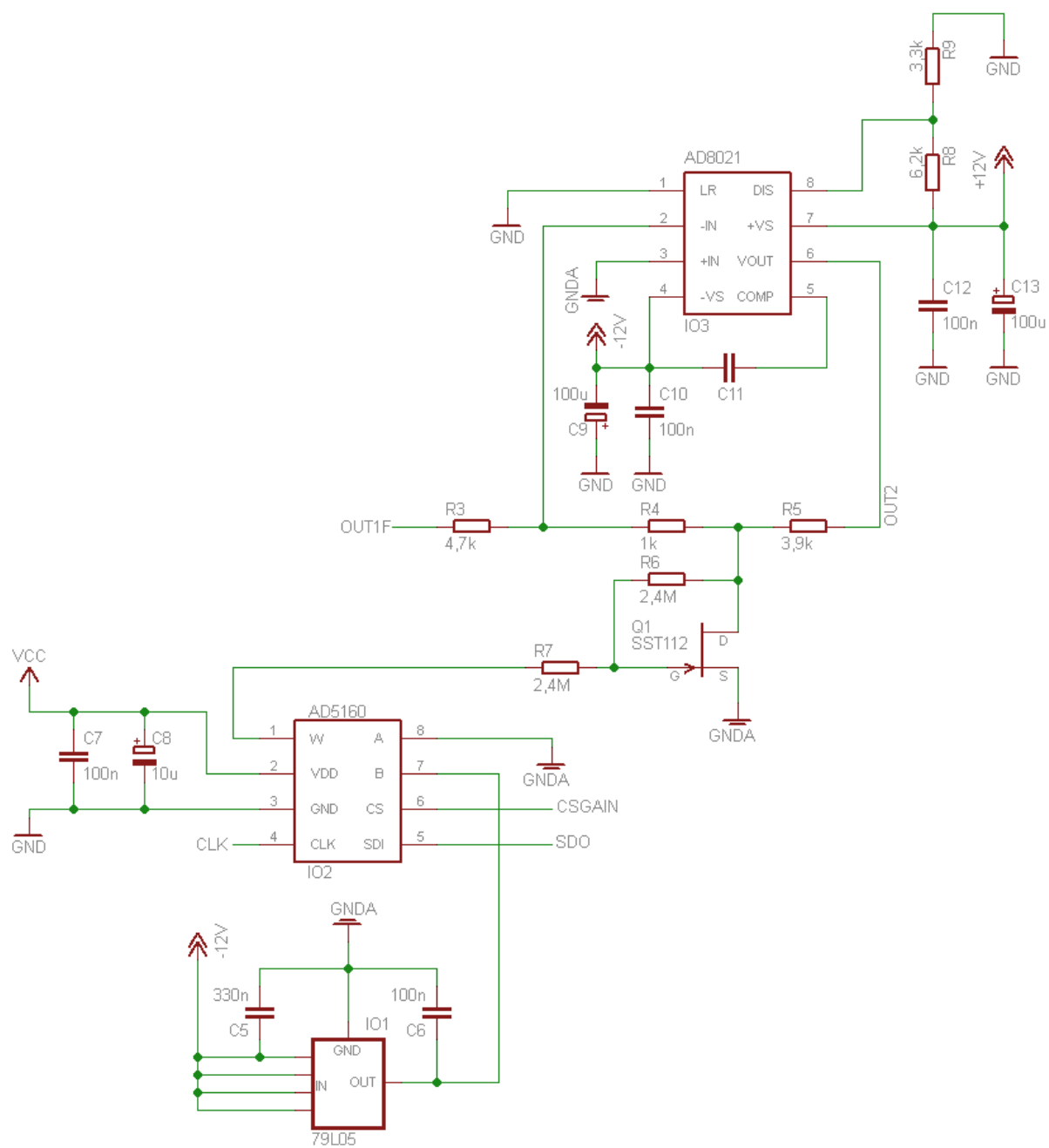
Obr. 98. První zesilovací stupeň



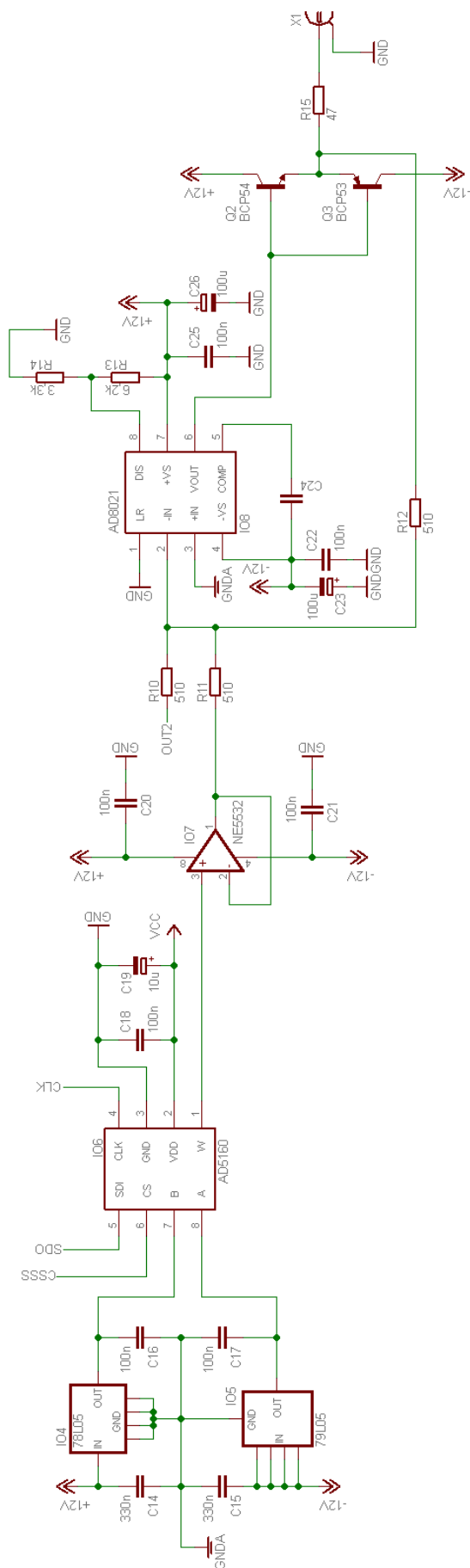
Obr. 99. Filtr pátého řádu Butterworthovy aproximace



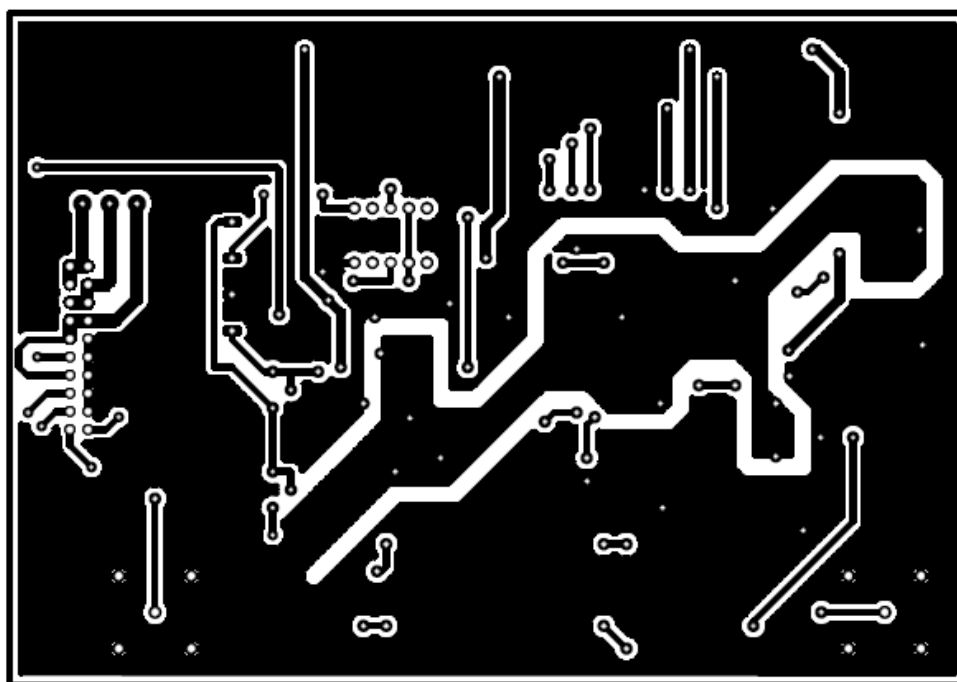
Obr. 100. Zapojení konektoru



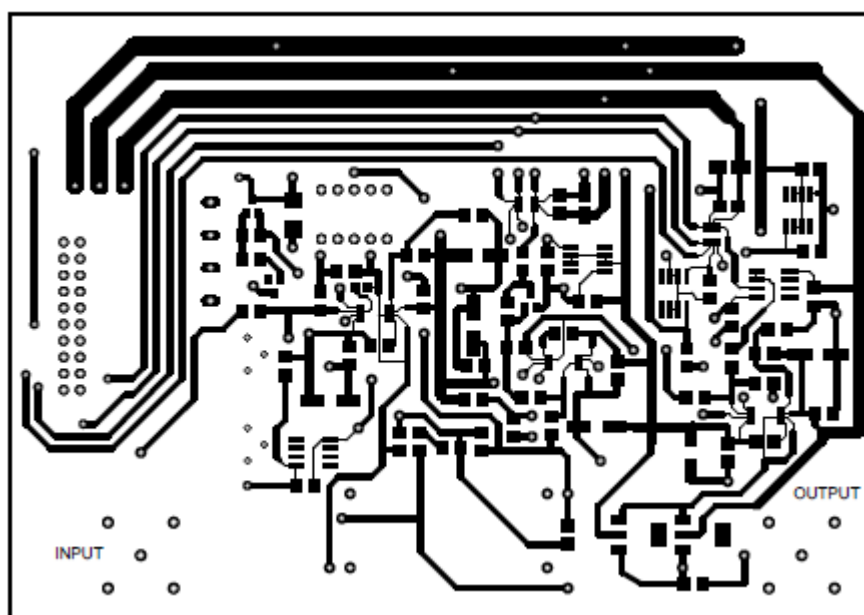
Obr. 101. Druhý zesilovací stupeň



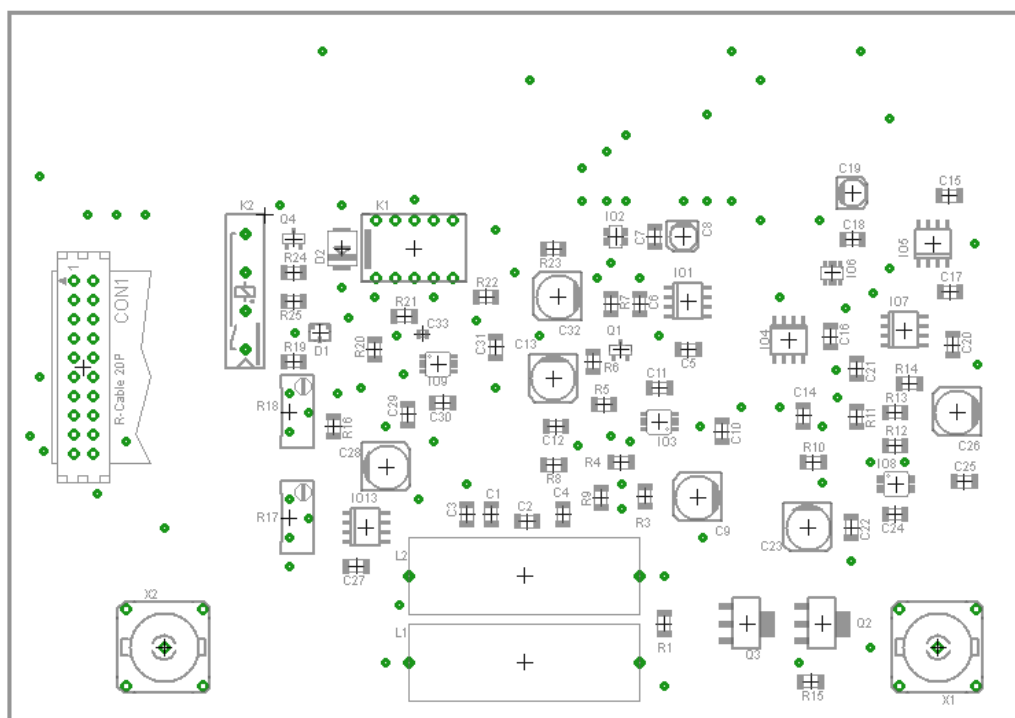
Obr. 102. Třetí zesilovací stupeň



Obr. 103. Deska plošného spoje Button (velikost 134 mm x 92,7 mm)



Obr. 104. Deska plošného spoje Top (velikost 134 mm x 92,7 mm)



Obr. 105. Osazovací plán

Příloha VI

Seznam součástek pro základní desku generátoru

Rezistory typ 1206

| | |
|---|-------------|
| R1,R5 | 2,4 k |
| R2, R4, R17 | 3,3 k |
| R3 | 68 k |
| R6 | 4,7 k |
| R7,R8 | 1 M |
| R9, R10 | 1 Ω |
| R11, R13, R23, R24, R25,R26, R27, R28, R29, R30 | 10 k |
| R14 | 470 |
| R16 | 1 k |
| R18, R19 | 1,5 k |
| R20, R21 | 4,7 k |
| R22 | 18 Ω |

Trimry typ 4315

| | |
|-----|------|
| R12 | 22 k |
|-----|------|

Keramické kondenzátory 1206

| | |
|-------------------------------------|------|
| C1, C15, C16, C17, C22, C24, C26 | 100n |
| C2, C19 | 470n |
| C7, C19 | 47n |
| C14 330n | |
| C20, C21 | 15p |
| C25, C28 | 10n |

Elektrolytické kondenzátory SMD

| | |
|-------------------|------------|
| C8,C9 | 22 u/ 16 V |
| C12, C13,C18, C27 | 100 u/16 V |

Elektrolytické kondenzátory

| | |
|--------|------------|
| C3, C4 | 330u/50 V |
| C5, C6 | 2200u/16 V |

Tantalové kondenzátory SMD

| | |
|----------|----------|
| C10, C11 | 1u/16 V |
| C23 | 10u/16 V |

Cívky

| | |
|--------|------------------------------|
| L1, L2 | 220u/ 1A - toroidní, stojatá |
| L3, L4 | 100u/ SDR0805-101KL |

Polovodiče

| | |
|----------------------------|------------------------|
| D1, D2 | MBRS340T3 |
| D3, D4, D5, D6, D9, D14 | 1N4007/SMB |
| IC1 | PIC18F4550/TQFP |
| IC3 | 7805 |
| IC4 | 74HC148D/SO16 |
| IO1, IO2 | MC33166/D2PAK |
| IO14 | AD9833/MSOP10 |
| LED1, LED2 | Green/1206 |
| Q1 | 20 MHz/ SMD |
| QG1 | SG8002JC / 16777216 Hz |
| Displej | MC2004B-SYL/H |

Ostatní

| | |
|----------------------------------|---------------------------------|
| CON1 | PSL20 |
| Prog | PSH02-06PG |
| LCD1, LCD2 | BL20G |
| JP1 | Jumper |
| RK | BL05G a rotační kodér P-RE20 |
| S1, S2, S3, S4 S5, S6, S7, S8 | P-B170H |
| X1 | STLZ 950/2-G-5.08-H-GREEN |
| X2 | BL15G |
| X3 | Lámací lišta ASS11020G |
| X4 | BNC konektor / Female BNC-Z 50R |
| X5 | USB_B |

Příloha VII

Seznam součástek pro rozšiřující desku generátoru

Rezistory typ 1206

| | |
|--------------------|--------------|
| R1 | 620 Ω |
| R3 | 4,7 k |
| R4, R24 | 1 k |
| R5 | 3,9 k |
| R6, R7 | 2,4 M |
| R8, R13 | 6,2 k |
| R9, R23, R25 | 3,3 k |
| R10, R11, R12, R16 | 510 Ω |
| R13, R22 | 6,2 k |
| R14 | 3,3 k |
| R15 | 47 Ω |
| R19 | 6,8 k |
| R20 | 1,5 k |
| R21 | 11 k |

Trimry 25otáčkové typ 64Y

| | |
|-----|------|
| R17 | 10 k |
| R18 | 50 k |

Keramické kondenzátory 1206

| | |
|--------------------|----------------|
| C1 | 82 p/NPO(GOC) |
| C2 | 3,9 p/NPO(GOC) |
| C3, C4 | 27 p /NPO(GOC) |
| C5, C14, C15 | 330 n |
| C6, C7, C10, C12 | 100 n |
| C16, C17, C18, C20 | |
| C21, C22, C25, C27 | |
| C29, C31 | |
| C11 | 2,7 p/NPO(GOC) |
| C24 | 10 p/NPO(GOC) |
| C30 | 120 p/NPO(GOC) |
| C33 | nezapojen |

Elektrolytické kondenzátory SMD

| | |
|--------------------------------|-----------|
| C8, C19 | 10 u/16V |
| C9, C13, C23, C26, C28, C32 | 100 u/16V |

Elektrolytické kondenzátory

| | |
|--------|------------|
| C3, C4 | 330u/50 V |
| C5, C6 | 2200u/16 V |

Cívky

| | |
|--------|---------------------------------------|
| L1, L2 | 22u/ EPCOS B82111EC22 (SFR = 110 MHz) |
|--------|---------------------------------------|

Polovodiče

| | |
|---------------|-----------------|
| Q1 | J112 |
| Q2 | BCP54/SOT223 |
| Q3 | BCP53/SOT223 |
| Q4 | BC847CSMD/SOT23 |
| D1 | BZX84CSMD |
| D2 | DIODE-SMB |
| IO1 | 79L05/ SO8 |
| IO2, IO6 | AD5160/SOT23-8 |
| IO3, IO8, IO9 | AD8021/MSOP8 |
| IO4, IO5 | 78L05/SO8 |
| IO7 | NE5532/SO8 |
| IO13 | LM385-SO8 |

Ostatní

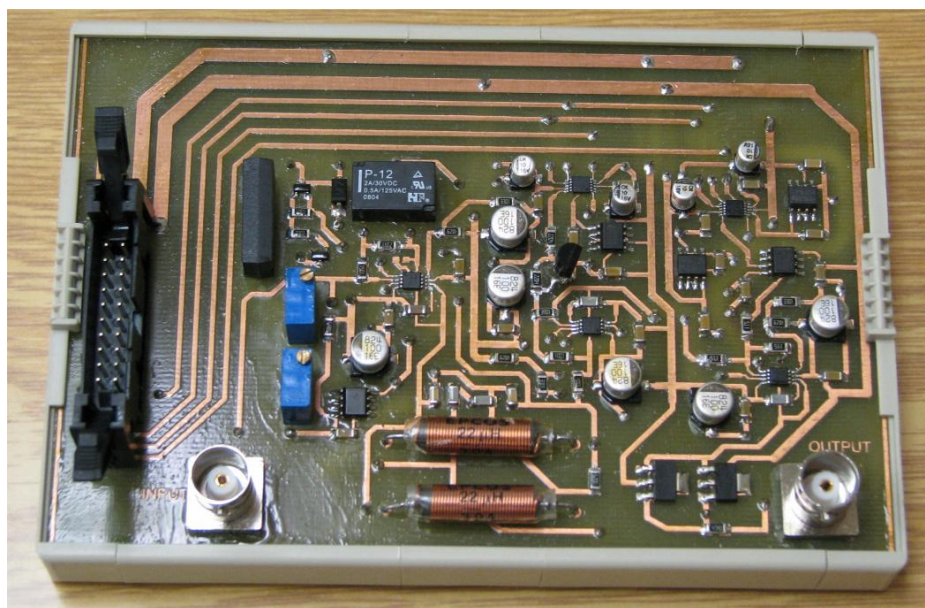
| | |
|--------|---------------------------------|
| CON1 | PSL20 |
| X1, X2 | BNC konektor / Female BNC-Z 50R |
| K1 | relé RELEMP-12 |
| K2 | relé RELSIA12D-1K |

Příloha VIII

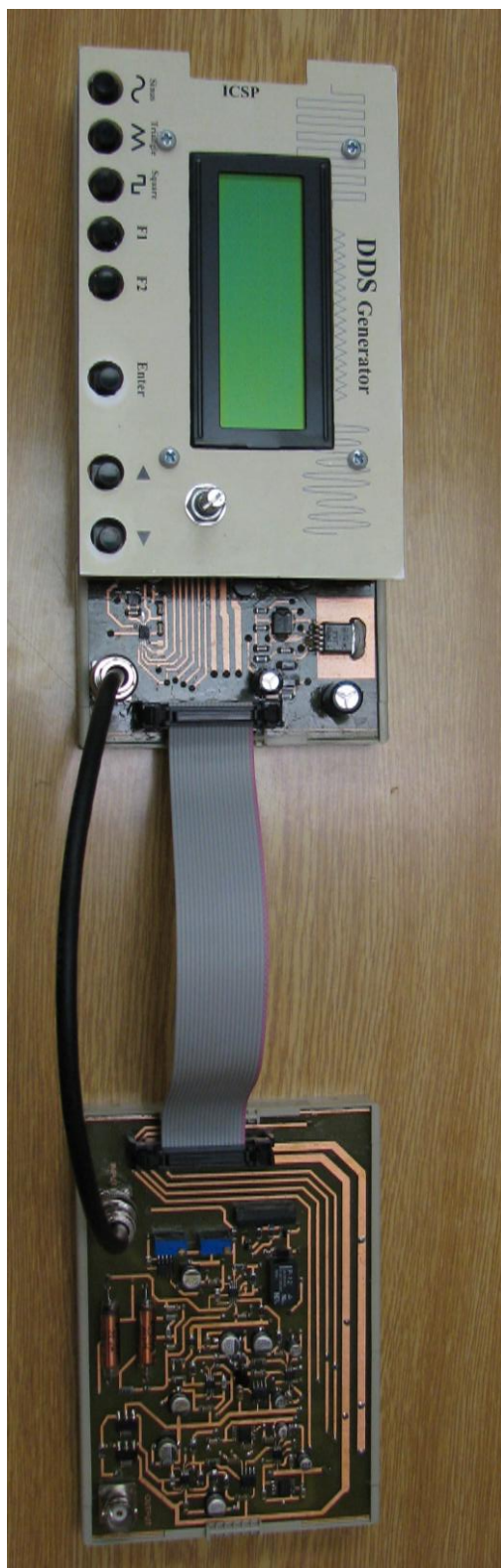
Fotografie zařízení



Obr. 106. Fotografie základní desky generátoru



Obr. 107. Fotografie rozšiřující desky generátoru



Obr. 108. Celková fotografie generátoru